

2

PATENT
0033-0697P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Takuji UNEYAMA et al. Conf.: Unassigned
Appl. No.: NEW Group: Unassigned
Filed: March 21, 2001 Examiner: UNASSIGNED
For: SELF-SYNCHRONOUS TRANSFER CONTROL
CIRCUIT AND DATA DRIVEN INFORMATION
PROCESSING DEVICE USING THE SAME



L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

March 21, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

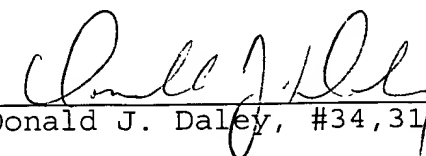
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	200-098016	March 31, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Donald J. Daley, #34,313

DJD/clb
0033-0697P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

Birch, Stuart et al.
(703) 205-8000
New
0033-0697P
1081

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 3月31日

出 願 番 号
Application Number:

特願2000-098016

出 願 人
Applicant(s):

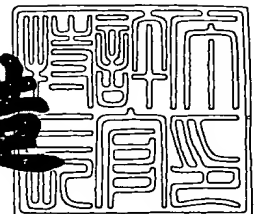
シャープ株式会社



2000年12月15日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3103901

【書類名】 特許願

【整理番号】 1000226

【提出日】 平成12年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00
G06F 13/36

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 采山 拓司

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 高瀬 幹

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 村松 剛司

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 自己同期型転送制御回路およびこれを用いたデータ駆動型情報処理装置

【特許請求の範囲】

【請求項 1】 転送の許可または禁止を指示する指示信号に基づいて、前段部から与えられる第 1 のパルスを実第 2 のパルスとして後段部に転送する自己同期型転送制御回路であって、

前段部の転送制御回路から第 1 のパルスとして 1 つのデータ転送要求パルス信号を受け、後段部の転送制御回路に第 2 のパルスとして複数個のデータの要求パルス信号を出力する制御回路を備えたことを特徴とする、自己同期型転送制御回路。

【請求項 2】 さらに、前記後段部に転送するデータ個数を設定できるデータ個数設定手段を含むことを特徴とする、請求項 1 に記載の自己同期型転送制御回路。

【請求項 3】 前記制御回路は、

前記前段部の転送制御回路から前記データ転送信号要求パルス信号が与えられたことに応じて、第 3 のパルスとして転送許可パルス信号を前記前段部の転送制御回路に出力する第 1 の論理回路と、

前記後段部の転送制御回路にデータの転送要求パルス信号を出力する第 2 の論理回路と、

前記個数設定手段によってデータ個数が設定されたことに応じて、その個数を記憶する記憶回路と、

前記後段部の転送制御回路から第 4 のパルスとして転送許可信号を受けるゲート回路と、

前記記憶回路に前記データ個数が記憶されているときに、前記第 1 の論理回路に前記データ転送要求パルス信号が与えられたことに応じて、前記ゲート回路が前記転送許可信号を受けるとに、前記記憶回路に記憶されているデータ個数だけ前記第 2 の論理回路から前記転送要求パルス信号を出力させる転送回路を含むことを特徴とする、請求項 2 に記載の自己同期型転送制御回路。

【請求項 4】 前記制御回路は、

前記転送要求パルス信号を出力した回数を計数する計数回路と、

前記計数回路の計数出力と前記記憶回路に記憶されているデータ個数とを比較し、両者が一致したことに応じて前記転送回路による前記転送要求パルス信号の出力を禁止させる禁止回路を含むことを特徴とする、請求項 3 に記載の自己同期型転送制御回路。

【請求項 5】 前段部の転送制御部から転送の要求を示す 1 つのデータ転送要求パルス信号を受け、後段部の転送制御回路に複数個の転送要求パルス信号を出力する自己同期型転送制御回路を用いたデータ駆動型情報処理装置であって、

データを前記自己同期型転送制御回路から与えられるクロック信号に基づいてデータパケットを保持するデータ伝送路と、

前記データ伝送路に保持されているデータパケットに設定されている出力パケット情報に基づいて、データ個数を検出するデータ数検出手段とを備え、

前記自己同期型転送制御回路は、前記データ数検出手段によってデータ個数が検出されたことに応じて、そのデータ個数に相当する転送要求パルス信号を出力することを特徴とする、データ駆動型情報処理装置。

【請求項 6】 前記データ伝送路は、少なくとも先行情報を格納する行先フィールドと、命令情報を格納する命令フィールドと、データを格納するデータフィールドとを含むデータパケットを保持し、

前記データ数検出手段は、前記データ伝送路に保持されているデータパケットに含まれる命令フィールドにコピー命令があることを検出したことに応じて、当該データ伝送路からコピーしたデータを後段のデータ伝送路に伝送させることを特徴とする、請求項 5 に記載のデータ駆動型情報処理装置。

【請求項 7】 前記データ数検出手段は、前記コピー命令を検出したことに応じて、当該データパケットに含まれるデータフィールドのデータと同じデータを有しかつ行き先情報の異なる複数のデータパケットを当該データ伝送路から後段部のデータ伝送路に伝送させることを特徴とする、請求項 6 に記載のデータ駆動型情報処理装置。

【請求項 8】 前記データ数検出手段は、前記コピー命令を検出したことに

応じて、当該データパケットのデータとは異なる複数のデータパケットを当該データ伝送路から後段のデータ伝送路に伝送させることを特徴とする、請求項6に記載のデータ駆動型情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は自己同期型転送制御回路およびこれを用いたデータ駆動型情報処理装置に関し、特に、1つのパルスから複数個のパルスの転送を可能とした自己同期型転送制御回路を用いた多出力命令により、プログラム実行効率を向上させるデータ駆動型情報処理装置に関する。

【0002】

【従来の技術】

近年のマルチメディア化に伴い、画像処理などでは多量の演算が要求される。このような多量の演算を高速に処理する装置として、データ駆動型情報処理装置（以下、データ駆動型プロセッサと称する）が提案されている。データ駆動型プロセッサでは、ある処理に必要な入力データがすべて揃いかつその処理に必要な演算装置などの資源が割当てられたときに処理が行なわれるという規則に従って処理が進行する。データ駆動型の情報処理動作を含むデータ処理装置には、非同期のハンドシェイク方式を採用したデータ伝送装置が用いられる。このようなデータ伝送装置では、複数のデータ伝送路が接続され、それらのデータ伝送路がデータの転送要求信号（以下、SEND信号と称する）およびデータの転送を許可するか否かを示す転送許可信号（以下、ACK信号と称する）を互いに送受信しながら、自律的なデータ転送が行なわれる。

【0003】

図12は従来およびこの発明が適用されるデータパケットのフォーマットを示す図である。図12において、データパケットは行先ノード番号ND#を格納するための行先ノード番号領域F1と、世代番号GN#を格納するための世代番号領域F2と、命令コードOPCを格納するための命令コード領域F3およびデータDATAを格納するためのデータ領域F4を含む。ここで、世代番号とは、並

列処理をしたいデータ群同士を区別するための番号である。行先ノード番号とは、同一世代内の入力データ同士を区別するための番号である。命令コードとは、命令デコーダに格納されている命令を実行するためのものである。

【0004】

図13はデータ伝送路の構成を示すブロック図である。データ伝送路は、自己同期型の転送制御回路（以下、C素子と称する）1aおよびDタイプフリップフロップからなるデータ保持回路（以下、パイプラインレジスタと称する）1bを含む。C素子1aはパルスを受けるパルス入力端子CIと、転送の許可または転送の禁止を示す転送許可信号を出力する転送許可出力端子ROと、パルスを出力するパルス出力端子COと、転送の許可または転送の禁止を示す転送許可信号を受ける転送許可入力端子RIと、パイプラインレジスタ1bのデータ保持動作を制御するクロックパルスを与えるためのパルス出力端子CPを有している。

【0005】

図14は図13に示したC素子の動作を説明するためのタイミングチャートである。C素子1aは端子CIから図14（a）に示すパルスを受取ると、端子RIに図14（e）に示すような入力の転送許可信号が許可状態であれば、端子COから図14（d）に示すパルスを出力するとともに、パイプラインレジスタ1bに図14（c）に示すパルスを出力する。パイプラインレジスタ1bはC素子1aから与えられるパルスに応答して、与えられる入力パケットデータを保持し、またその保持したデータを出力パケットデータとして出力する。

【0006】

図15は図13に示したデータ伝送路を所定のロジック回路を介してシーケンスに接続した例を示すブロック図である。図15において、入力されるパケットデータは、パイプラインレジスタ3a→3b→3cと順に転送されていく間に、ロジック回路3d、3eでシーケンスに処理される。図15において、たとえばパイプラインレジスタ3aがデータ保持状態である場合、後段のパイプラインレジスタ3bがデータ保持状態にあれば、パイプラインレジスタ3aからパイプラインレジスタ3bにデータは送られない。

【0007】

また、後段のパイプラインレジスタ 3 b がデータを保持していない状態であれば、もしくはデータを保持していない状態になれば、少なくとも予め設定された遅延時間をかけてデータがパイプラインレジスタ 3 a からロジック回路 3 d で処理されてパイプラインレジスタ 3 b に送られる。このように接続された隣のパイプラインレジスタとの間で送受信される C I と C O 端子で入出力される S E N D 信号および R I 端子と R O 端子で入出力される A C K 信号に従って非同期に、そして少なくとも予め設定された遅延時間をかけてデータ伝送を行なうような制御を自己同期型転送制御と呼び、そのようなデータ転送を制御する回路を自己同期型転送制御回路と呼ぶ。

【 0 0 0 8 】

図 1 6 は図 1 5 に示した C 素子の具体的な回路図である。この C 素子はたとえば特開平 6 - 8 3 7 3 1 号公報に記載されたものである。図 1 6 において、パルス入力端子 C I は前段部からのパルス状の S E N D 信号（転送要求信号）を受け、転送許可出力端子 R O は前段部に A C K 信号（転送許可信号）を出力する。パルス出力端子 C O は後段部にパルス状の S E N D 信号を出力し、転送許可入力端子 R I は後段部から A C K 信号を受ける。

【 0 0 0 9 】

マスタリセット入力端子 M R はマスタリセット信号を受ける。マスタリセット入力端子 M R に「H」レベルのパルスが与えられると、インバータ 4 e で反転され、フリップフロップ 4 a, 4 b がリセットされて C 素子が初期化される。そして、パルス出力端子 C O, 転送許可出力端子 R O はともに初期状態として「H」レベル信号を出力する。転送許可出力端子 R O の出力が「H」レベルであることは転送許可状態を示し、逆に「L」レベルであることは転送禁止状態を示している。また、パルス出力端子 C O の出力が「H」レベルであることは、後段にデータ転送を要求していない状態を示し、逆に「L」レベルであることは後段にデータ転送を要求しているまたはデータを転送している状態を示している。

【 0 0 1 0 】

パルス入力端子 C I に「L」レベルの信号が入力されると、すなわち前段からデータ転送が要求されると、フリップフロップ 4 a はセットされ、その出力 Q に

「H」レベル信号を出力する。この「H」レベル信号はインバータ4 dで反転されて転送許可入力端子R Oからは「L」レベル信号が出力され、さらなるデータ転送を禁止する。一定時間後、パルス入力端子C Iに「H」レベルの信号が入力され、前段部から当該C素子へのデータのセットが終了する。この状態でかつ転送許可入力端子R Iから「H」レベル信号が入力されている、すなわち後段部からデータ転送を許可されている状態で、かつパルス出力端子C Oが「H」レベル信号を出力している、すなわち後段部へデータ転送している途中でない状態（データ転送を後段に要求していない状態）であれば、NANDゲート4 cはアクティブとなり、「L」レベル信号を出力する。

【0 0 1 1】

その結果、フリップフロップ4 aと4 bはともにリセットされ、フリップフロップ4 bはパイプラインレジスタへのパルス出力端子C Pから遅延素子4 eを介して「H」レベル信号を出力するとともに、パルス出力端子C Oから遅延素子4 fを介して後段部のC素子へ「L」レベルのS E N D信号を出力する。すなわち、後段部へデータ転送を要求する。「L」レベルのS E N D信号を受けた後段のC素子は、そのC素子に対してさらなるデータ転送が行なわれないように転送禁止を示すA C K信号を「L」レベルにしてR O端子から出力する。該C素子は転送許可入力端子R Iからの「L」レベルのA C K信号を入力し、この信号によりフリップフロップ4 bがセットされる。その結果、パイプラインレジスタへのパルス出力端子C Pから遅延素子4 eを介して「L」レベル信号が出力され、また後段部へのパルス出力端子C Oから遅延素子4 fを介して「H」レベルのS E N D信号が出力され、データ転送を終了する。

【0 0 1 2】

図1 7は図1 5に示したデータ転送装置を含んで構成された従来のデータ駆動型プロセッサの概略ブロック図である。図1 7において、データ駆動型プロセッサP eは、合流部J N Cと、発火制御部F Cと、演算部F Pと、プログラム記憶部P Sと、分岐部B R Nと、複数のパイプラインレジスタ3 a～3 cと、複数のC素子2 a～2 cを含む。各C素子2 a～2 cは前段および後段のC素子とのパケット転送パルス（C I，C O，R I，R Oの信号）のやり取りによって対応

する処理部（F C，F P，P S）についてのパケット転送を制御する。各パイプラインレジスタ 3 a～3 c は対応の C 素子 2 a～2 c からのパルス入力に応じて、前段の処理部より入力されているデータを取込んで保持し、出力段に導出し、次のパルスまでこれを保持する。

【 0 0 1 3 】

図 1 7 において、プロセッサ P e に図 1 2 に示したデータパケットが入力されると、入力パケットはまず合流部 J N C を通り、発火制御部 F C に伝達され、行先ノード番号 N D # と世代番号 G N # とに基づいて同一のパケットの間で対データが形成される。すなわち、ノード番号 N D # と世代番号 G N # が一致する異なる 2 つのデータパケットの検出を行ない、両番号が一致する 2 つのうち一方のデータパケットのデータを他方のデータパケットのデータ領域 F 4（図 1 2）に追加格納し、この他方のデータパケットを出力する。データ領域 F 4 に対データ（1 組のデータ）を格納したパケットは次に演算部 F P に伝達される。演算部 F P は伝達されたデータパケットを入力し、その入力パケットの命令コード O P C に基づいて該入力パケットの内容に対して所定の演算を行ない、演算結果を該入力パケットのデータ領域 F 4 に格納する。該入力パケットは次にプログラム記憶部 P S に伝達される。

【 0 0 1 4 】

プログラム記憶部 P S は伝達されたデータパケットを入力し、その入力パケットの行先ノード番号 N D # に基づいて、プログラム記憶部 P S 内のプログラムメモリからパケットが次に行くべきノード情報（ノード番号 N D #）と次に実行すべき命令情報（命令コード O P C）とコピーフラグ C P Y を読出す。そして、読出された行先ノード番号 N D # および命令コード O P C が該入力パケットの行先ノード番号領域 F 1 および命令コード領域 F 3 にそれぞれ格納される。さらに、読出されたコピーフラグ C P Y が「1」であれば、プログラムメモリ中の次のアドレスも有効と判断されて、次のアドレスに記憶されている行先ノード番号 N D # および命令コード O P C を格納したパケットも生成される。

【 0 0 1 5 】

プログラム記憶部 P S から出力されるパケットは分岐部 B R N へ伝達され、そ

の行先ノード番号ND#に基づいて出力されるか、または再度プロセッサ内部に戻される。同一データを3個にコピーするためには、このプロセッサ内部に戻されたパケットでコピー処理をすることになる。したがって、同一データを複数個コピーするためには、複数回プロセッサへパケットを戻してコピー処理しなければならない。

【0016】

図4(a)は入力データを4個にコピーする場合のデータフローグラフである。入力データに対して、NOP(演算を行わずにコピーだけする)命令16aを実行することでデータ16hとデータ16iが出力される。データ16iは図12に示したパケットの命令コードOPCに相当するOPC1命令16dとして実行され、データ16hはNOP命令16bとして実行される。NOP命令16bにおいて、コピーが実行されてデータ16jとデータ16kが出力される。データ16kはOPC2命令16eとして実行され、データ16jはNOP命令16cとして実行される。NOP命令16cにおいてコピーが実行されてデータ16l、データ16mが出力される。データ16mはOPC3命令16fとして実行され、データ16lはOPC4命令16gとして実行される。このようにデータを4個コピーするためには、2個のパケットコピー命令を3回実行する必要がある。

【0017】

図18は、従来のデータ駆動型プロセッサで乗算命令を実行する例を示す図である。図18において、前述の図15に示したロジック回路3d、3eとして、乗算器3fとシフタ3gとが設けられている。たとえば、12ビットデータ同士を乗算する場合、演算結果として24ビットのデータとなるが、図12に示したようにパケットフォーマットとして、データフィールドに格納するデータは12ビットに制限されているため、24ビットの演算結果データを上位12ビットと下位12ビットに分けて演算する必要がある。このため、シフタ3gを用いて上位12ビットデータを含むパケットを出力する命令と、下位12ビットデータを含むパケットを出力する命令の2つを実行することで実現していた。

【0018】

【発明が解決しようとする課題】

上述のごとく、従来のデータ駆動型プロセッサにおいて、複数個の packets コピーが行なわれるような処理が実行される場合、または複数個の同一データが必要とされる場合、NOP 命令を複数回実行することで実現できるが、NOP 命令を実行するために無駄な周回 packets、すなわち図 17 に示した packets 出力から packets 入力に戻されて周回する packets が発生し、プログラムの実行効率を上げることが困難であった。

【0019】

それゆえに、この発明の主たる目的は、プログラムを効率よく実行可能にするための自己同期型転送制御回路およびこれを用いたデータ駆動型情報処理装置を提供することである。

【0020】

【課題を解決するための手段】

この発明は、転送の許可または禁止を指示する指示信号に基づいて、前段部から与えられる第 1 のパルスを実第 2 のパルスとして後段部に転送する自己同期型転送制御回路であって、前段部の転送制御回路から第 1 のパルスとして 1 つのデータ転送要求パルス信号を受け、後段部の転送制御回路に第 2 のパルスとしての複数個のデータ転送要求パルス信号を出力する制御回路を備えたことを特徴とする。

【0021】

より好ましくは、さらに、前記後段部に転送するデータ個数を設定できるデータ個数設定手段を含むことを特徴とする。

【0022】

より好ましくは、制御回路は、前段部の転送制御回路からデータ転送信号要求パルス信号が与えられたことに応じて、第 3 のパルスとして転送許可パルス信号を前段部の転送制御回路に出力する第 1 の論理回路と、後段部の転送制御回路にデータの転送要求パルス信号を出力する第 2 の論理回路と、個数設定手段によってデータ個数が設定されたことに応じて、その個数を記憶する記憶回路と、後段部の転送制御回路から第 4 のパルスとして転送許可信号を受けるゲート回路と、

記憶回路にデータ個数が記憶されているときに、第1の論理回路にデータ転送要求パルス信号が与えられたことに応じて、ゲート回路が転送許可信号を受けるとに、記憶回路に記憶されているデータ個数だけ第2の論理回路から転送要求パルス信号を出力させる転送回路を含むことを特徴とする。

【 0 0 2 3 】

制御回路は、転送要求パルス信号を出力した回数を計数する計数回路と、計数回路の計数出力と前記記憶回路に記憶されているデータ個数とを比較し、両者が一致したことに応じて転送回路による転送要求パルス信号の出力を禁止させる禁止回路を含むことを特徴とする。

【 0 0 2 4 】

他の発明は、は、前段部の転送制御部から転送の要求を示す1つのデータ転送要求パルス信号を受け、後段部の転送制御回路に複数の転送要求パルス信号を出力する自己同期型転送制御回路を用いたデータ駆動型情報処理装置であって、データを自己同期型転送制御回路から与えられるクロック信号に基づいてデータパケットを保持するデータ伝送路と、データ伝送路に保持されているデータパケットに設定されている出力パケット情報に基づいて、データ個数を検出するデータ数検出手段とを備え、自己同期型転送制御回路は、データ数検出手段によってデータ個数が検出されたことに応じて、そのデータ個数に相当する転送要求パルス信号を出力することを特徴とする。

【 0 0 2 5 】

より好ましくは、データ伝送路は、少なくとも先行情報を格納する行先フィールドと、命令情報を格納する命令フィールドと、データを格納するデータフィールドとを含むデータパケットを保持し、データ数検出手段は、データ伝送路に保持されているデータパケットに含まれる命令フィールドにコピー命令があることを検出したことに応じて、当該データ伝送路からコピーしたデータを後段のデータ伝送路に伝送させることを特徴とする。

【 0 0 2 6 】

さらに、より好ましくは、データ数検出手段は、前記コピー命令を検出したことに応じて、当該データパケットに含まれるデータフィールドのデータと同じデ

ータを有しかつ行き先情報の異なる複数のデータ packets を当該データ伝送路から後段部のデータ伝送路に伝送させることを特徴とする。

【0027】

さらに、より好ましくは、データ数検出手段は、コピー命令を検出したことに応じて、当該データ packets のデータとは異なる複数のデータ packets を当該データ伝送路から後段のデータ伝送路に伝送させることを特徴とする。

【0028】

【発明の実施の形態】

図1はこの発明の第1の実施形態の自己同期型転送制御回路を示す回路図である。図1において、パルス入力端子CIは前段部からのパルス状の転送要求信号を受け、転送許可出力端子ROは前段部に転送許可信号を出力する。パルス出力端子COは後段部にパルス状の転送要求信号を出力し、転送許可入力端子RIは後段部から転送許可信号を受ける。マスタリセット入力端子MRBはマスタリセット信号を受け、EXB端子はパケット消去信号を受ける。COPY端子はパケットコピー信号を受け、NUM端子はパケットコピー個数信号を受ける。

【0029】

さらに、自己同期型転送制御回路は、C素子9a, 9bと、Dタイプフリップフロップ9c, 9d, 9e, 9gと、NANDゲート9k, 9iと、ORゲート9l, 9nと、ANDゲート9p, 9j, 9mと、カウンタ9fと、インバータ9h, 9q, 9r, 9u, 9vと、フリップフロップ9sと、遅延素子9tとを含む。

【0030】

図2は図1に示した自己同期型転送制御回路の動作を説明するためのタイミングチャートである。

【0031】

次に、図2のタイミングチャートを参照しながら、図1の自己同期型転送制御回路のパケット消去動作と、パケット通常転送動作と、パケットコピー動作について順に説明する。

【0032】

まず、マスタリセット端子MRBから「L」レベルのパルスが入力されると、C素子9 aと9 bとがリセットされ、それぞれのパルス出力端子COと転送許可出力端子ROからともに「H」レベル信号が出力される。図2に示したタイミングチャートはこの状態から示されている。その結果、図2 (i), (b)に示すように、自己同期型転送制御回路のパルス出力端子COと転送許可出力端子ROからともに「H」レベル信号が出力され、自己同期型転送制御回路が初期化される。また、Dタイプフリップフロップ9 gは非同期でリセットされ、その出力Qには「L」レベル信号が出力される。この信号はインバータ9 qで反転されて「H」レベル信号となり、3入力ANDゲート9 mに入力される。なお、C素子9 aと9 bの動作について、従来技術での説明と重複する部分は説明を省略する。

【0033】

EXB端子に図2 (c)に示す「L」レベル信号が入力されることにより、自己同期型転送制御回路はパケット消去動作を行なう。すなわち、EXB端子に「L」レベル信号が入力されている状態において、自己同期型転送制御回路のパルス入力端子CIから図2 (a)に示すような「L」レベルのパルス信号が入力されると、C素子9 aのパルス入力端子CIに「L」レベルのパルス信号が入力される。一方、RI端子にはマスタリセット信号MRBが入力された後であるため、図2 (j)に示す「H」レベル信号が入力されており、C素子9 aは従来の動作をして、一定時間後に端子CIを図2 (a)に示すように「H」レベルにすると、C素子9 aのパルス出力端子CPから図3 (i)に示す「L」レベル信号が出力され、パイプラインレジスタへのパルス出力端子CPは「H」レベルの信号に変化する。C素子9 aのCP端子から出力された「H」レベル信号はフリップフロップ9 sをセットし、遅延素子9 tを介してFEB端子に図2 (h)に示す「L」レベル信号が出力される。

【0034】

また、該CP端子の信号の立上がり同期して、Dタイプフリップフロップ9 cはEXB端子から入力されている「L」レベル信号を取込み、Dタイプフリップフロップ9 cの出力Qから導出される。これにより、NANDゲート9 kは「H」レベル信号を出力し、一方C素子9 bのCO端子も同様にして「H」レベル

信号を出力しているため、ANDゲート9pを介して自己同期型転送制御回路の
パルス出力端子COは「H」レベル信号を出力し続ける。また、Dタイプフリップ
フロップ9cの出力QはORゲート91の一方の入力端子に「L」レベル信号
として入力されているため、C素子9aのパルス出力端子COから出力される信
号は、そのままORゲート91の出力となる。

【0035】

さらに、自己同期型転送制御回路の転送許可入力端子RIには初期状態として
「H」レベル信号が与えられているため、ORゲート91の出力信号がANDゲ
ート9mに入力されると、そのままANDゲート9mの出力信号となる。結果的
に、C素子9aのパルス出力端子COから出力される信号は、そのままC素子9
aの転送許可入力端子RIに入力されることになる。上述したように、C素子9
aのパルス出力端子COからは「L」レベル信号が出力されているので、C素子
9aの転送許可入力端子RIには「L」レベル信号が入力される。これにより、
従来例で説明した図14のタイミングチャートにも示したように、C素子9aの
端子CPは「L」レベルに変化する。その結果、C素子9aの端子COは「H」
レベルに変化し、その信号がORゲート91とANDゲート9mを介してC素子
9aのRI端子に入力され、次のデータ転送が許可された状態になってパケット
消去動作が終了する。

【0036】

なお、図2から明らかなように、消去動作中は端子COが「H」レベルのまま
であり、したがってパケットは次段には転送されず、前段部から転送されてくる
次のパケットにより上書きされて消滅する。

【0037】

次に、自己同期型転送制御回路のパケット通常転送動作について説明する。E
XB端子から「H」レベル信号が入力されかつCPY端子から「L」レベル信号
が入力されている状態において、自己同期型転送制御回路のパルス入力端子CI
から「L」レベルのパルス信号が入力されると、C素子9aのパルス入力端子C
Iに「L」レベルのパルス信号が入力され、C素子9aは従来例と同様の動作を
行なって、一定時間後に端子CIを「H」レベルにすると、C素子9aのパルス

出力端子C Oからは「L」レベルの信号が出力される。また、パイプラインレジスタへのパルス出力端子C Pからは「H」レベルの信号が出力される。このC素子9 aのパルス出力端子C Pからの「H」レベル信号は、フリップフロップ9 sをセットし、遅延素子9 tを介してF E B端子に「L」レベル信号が出力される。

【0038】

また、このパルス出力端子C Pの信号の立上がりに同期して、Dタイプフリップフロップ9 cがE X B端子から入力されている「H」レベル信号を取込んでDタイプフリップフロップ9 cの出力Qに導出し、またDタイプフリップフロップ9 dは同じタイミングにてC P Y端子から入力されている図2 (d)に示す「L」レベル信号を取込み、このDタイプフリップフロップ9 dの出力Qに導出する。Dタイプフリップフロップ9 dから出力される「L」レベル信号はNANDゲート9 iに入力され、このNANDゲート9 iの出力は「H」レベルとなる。また、C素子9 bの端子C Oは初期状態では「H」レベルにあるため、ORゲート9 nの出力も「H」レベルとなり、ANDゲート9 jの出力は「H」レベルとなる。この「H」レベル信号がC素子9 bのパルス入力端子C Iに入力され続けるため、C素子9 bはこのモードでは動作しない。

【0039】

Dタイプフリップフロップ9 cの「H」レベルの出力信号はNANDゲート9 kに入力されるため、NANDゲート9 kの出力はインバータ9 hが出力する信号の反転信号を、すなわちC素子9 aのC O端子の出力と同一の信号を出力することになる。また、C素子9 bのC O端子は「H」レベルに固定されているため、NANDゲート9 kから出力された信号はNANDゲート9 pに入力され、そのままNANDゲート9 pから出力される。すなわち、C素子9 aのC O端子の出力信号と同一の信号が自己同期型転送制御回路のC O端子から出力されることになる。Dタイプフリップフロップ9 cの「H」レベルの出力信号はORゲート9 lにも入力されるため、このORゲート9 lの出力は「H」レベルに固定される。

【0040】

また、Dタイプフリップフロップ9 qはマスタリセット信号MRBが入力された状態を維持しているため、その出力Qは「L」レベルとなり、インバータ9 qの出力は「H」レベルになるため、ANDゲート9 mの出力は自己同期型転送制御回路のRI端子から入力される信号と同一の信号となる。すなわち、自己同期型転送制御回路のRI端子から入力される信号と同一の信号がC素子9 aのRI端子に入力されることになる。先に延べたC素子9 aの端子CPが「H」レベルに変化すると、C素子9 aのCO端子は「L」レベルに変化して出力されるので、自己同期型転送制御回路のCO端子から「L」レベル信号が出力される。

【0041】

一定時間後に自己同期型転送制御回路のRI端子から「L」レベル信号が入力されるため、C素子9 aのRI端子に「L」レベル信号が入力される。これを受けて、C素子9 aのCP端子は「L」レベルに変化して出力され、該C素子9 aのCO端子は「H」レベルに変化し、すなわち自己同期型転送制御回路のCO端子からの出力は「H」レベルに変化する。そして、一定時間後に自己同期型転送制御回路のRI端子から「H」レベル信号が入力されて、次のデータ転送が許可された状態となって自己同期型転送制御回路のパケット通常転送動作を終了する。

【0042】

最後に、自己同期型転送制御回路のパケットコピー動作について説明する。EXB端子から「H」レベル信号が入力され、かつCPY端子から「H」レベル信号が入力され、さらにNUM端子からパケットをコピーをする個数情報が入力されている状態において、自己同期型転送制御回路のパルス入力端子CIから「L」レベルのパルス信号が入力されると、C素子9 aのパルス入力端子CIに「L」レベルのパルス信号が入力され、C素子9 aは従来と同様の動作を行なって、一定時間後に端子CIを「H」レベルにすると、C素子9 aのパルス出力端子COからは「L」レベルの信号が出力される。また、パイプラインレジスタへのパルス出力端子CPが「L」レベルから「H」レベルの信号に変わって出力される。このC素子9 aの端子CPからの「H」レベルの信号はフリップフロップ9 sをセットし、遅延素子9 tを介してカウンタ9 fのFEB端子に「L」レベル信

号が出力される。

【 0 0 4 3 】

また、C P 端子の信号の立上がり同期して、D タイプフリップフロップ 9 c は E X B 端子から入力されている「H」レベル信号を取込み、該フリップフロップ 9 c の出力 Q から出力される。

【 0 0 4 4 】

また、D タイプフリップフロップ 9 d は同じタイミングで C P Y 端子から入力されている「H」レベル信号を取込み、該 D タイプフリップフロップ 9 d の出力 Q に導出し、D タイプフリップフロップ 9 e は図 2 (e) に示すように同じタイミングで N U M 端子から入力されているコピー個数情報を示す整数を取込み、同じ D タイプフリップフロップ 9 e の出力 Q から導出する。図 1 に示した D タイプフリップフロップ 9 e は複数の D タイプフリップフロップが並列に配列されたものであり、たとえばコピー個数情報が 5 の場合、「1 0 1」の 3 ビットの情報を 3 つの D タイプフリップフロップで各ビットを入力する。

【 0 0 4 5 】

カウンタ 9 f は遅延素子 9 t の出力、すなわち F E B 信号が「L」レベルであるとき、コピー個数情報を示す D タイプフリップフロップ 9 e の出力を取込み、その後 F E B 信号が「H」レベルになると、C K 端子にクロックが入力されるたびに計数し、その計数値を端子 N から N O 端子へ出力し、Z 端子から「L」レベル信号を出力する。計数値が N U M 端子から設定された数と一致すると、カウンタ 9 f は計数を停止して Z 端子出力を「H」レベルにする。

【 0 0 4 6 】

C 素子 9 a の端子 C P が「H」レベルに変化したため、C 素子 9 a の C O 端子の出力は「L」レベルに変化し、この信号はインバータ 9 h に入力され、インバータ 9 h は「H」レベル信号を出力する。インバータ 9 h の出力の「H」レベル信号は N A N D ゲート 9 k に入力され、またもう一方の入力端子には D タイプフリップフロップ 9 c の出力 Q から「H」レベル信号が入力されるので、N A N D ゲート 9 k の出力は「L」レベルとなる。この「L」レベル信号が A N D ゲート 9 p に入力されるため、A N D ゲート 9 p は「L」レベル信号を出力する。すな

わち、自己同期型転送制御回路のCO端子から「L」レベル信号が出力される。
そして、一定時間後、自己同期型転送制御回路のRI端子から「L」レベル信号が入力される。

【0047】

インバータ9hの出力の「H」レベル信号がNANDゲート9iにも入力される。また、Dタイプフリップフロップ9cと9dはともに「H」レベル信号を出力しているため、NANDゲート9iの出力は「L」レベルとなる。この「L」レベル信号がANDゲート9jに入力されてその出力は「L」レベルとなり、この「L」レベル信号がC素子9bのパルス入力端子CIに与えられる。これにより、C素子9bの転送許可出力端子ROは「L」レベルに変化して出力され、Dタイプフリップフロップ9gのセット端子Sに入力されて非同期でセットされるため、Dタイプフリップフロップ9gの出力Qから「H」レベル信号が出力される。この「H」レベル信号はインバータ9qに入力され、その出力が「L」レベルになる。この「L」レベル信号がANDゲート9mに入力される。

【0048】

自己同期型転送制御回路のRI端子から入力される「L」レベル信号はANDゲート9mに入力される。ANDゲート9mの出力は「L」レベルになり、その「L」レベル信号はC素子9aのRI端子に入力される。これにより、C素子9aのCP端子は「L」レベルに変化して出力し、C素子9aのCO端子は逆に「H」レベルに変化する。また、自己同期型転送制御回路のRI端子から入力された「L」レベル信号がC素子9bのRI端子に入力されると、C素子9bのCO端子が「H」レベルに変化する。C素子9aのCO端子から「H」レベル信号が出力されると、この「H」レベル信号はインバータ9hとNANDゲート9kを介してANDゲート9pに与えられる。C素子9bの端子COも「H」レベルであるため、ANDゲート9pから「H」レベル信号が出力され、この信号が自己同期型転送制御回路のCO端子に出力される。

【0049】

一定時間後に自己同期型転送制御回路のRI端子が「L」レベルから「H」レベルに変化して入力され、1個目のパケットの転送が終了する。このとき、FE

B端子からは「L」レベルが出力されており、NO端子からの出力はカウンタ9 fが動作していないため、出力信号は不定となる。

【0050】

一方、C素子9 aのCO端子から出力される「H」レベル信号は別途インバータ9 hとNANDゲート9 iを介してANDゲート9 jに与えられる。この時点では、C素子9 bのCO端子は「H」レベルであるため、ORゲート9 nの出力は「H」レベルとなり、したがってANDゲート9 jの出力は「H」レベルとなり、C素子9 bのCI端子には「H」レベル信号が入力される。よって、自己同期型転送制御回路のRI端子が「L」レベルから「H」レベルに変ることで、C素子9 bが従来と同様の動作を行う条件が揃い、C素子9 bのCP端子は「L」レベルから「H」レベルに立上がる。一方、C素子9 bのCO端子は「H」レベルから「L」レベルに立下がる。C素子9 bのCP端子の出力である「H」信号がフリップフロップ9 sをセットするため、遅延素子9 tを介して自己同期型転送制御回路のFEB端子から「H」レベル信号が出力される。その後、カウンタ9 fはC素子9 bのCP端子の立上がり信号により、0からカウントアップする。カウンタ9 fは計数結果の「0」をNO端子より出力し、入力端子NUMより設定された数と一致すれば、カウンタ9 fのZ端子から「H」レベル信号を出力し、一致しなければ「L」レベル信号を出力する。

【0051】

次に、計数結果と設定数が一致しない場合について考える。このとき、カウンタ9 fのZ端子からは「L」レベル信号が出力されるため、この「L」信号がORゲート9 nに入力される。ANDゲート9 mは先に述べたようにインバータ9 qの出力の「L」レベル信号によりマスクされているため、C素子9 aのRI端子は「L」レベルに固定となっており、C素子9 aのCO端子は「H」レベルに固定される。これにより、NANDゲート9 iの出力は「H」レベルとなるため、ANDゲート9 jはORゲート9 nの出力をそのまま通過させる。したがって、C素子9 bのCO端子から出力される信号はそのままC素子9 bのCI端子に入力される。また、同じくC素子9 aのCO端子が「H」レベルに固定されているため、ANDゲート9 pはC素子9 bのCO端子から出力される信号をそのま

ま自己同期型転送制御回路のC O端子から出力させるようになる。C素子9 bのC O端子からは「L」レベル信号が出力されているため、自己同期型転送制御回路のC O端子からは2回目の「L」レベル信号が出力される。また、ORゲート9 nとANDゲート9 jを介してC素子9 bのC I端子に「L」レベル信号が入力される。

【0052】

一定時間後、自己同期型転送制御回路のR I端子には「L」レベル信号が入力され、C素子9 bのR I端子には「L」レベル信号が入力される。これにより、C素子9 bのC P端子は「H」レベルから「L」レベルに変化し、C素子9 bのC O端子は「L」レベルから「H」レベルに変化する。C素子9 bのC O端子から出力された「H」レベル信号は、ゲート9 pを介して自己同期型転送回路のC O端子から「H」レベル信号として出力されると同時に、ORゲート9 nとANDゲート9 jを介してC素子9 bのC I端子に「H」レベルとして入力される。一定時間後に自己同期型転送制御回路のR I端子が「L」レベルから「H」レベルに変化すると、2個目のパケット転送が終了する。このとき、F E B端子からは「H」レベル信号が出力されており、N O端子からは「0」レベル信号が出力されている。

【0053】

自己同期型転送制御回路のR I端子から入力された「H」レベル信号は、C素子9 bのR I端子に入力されるので、先の2個目のパケット転送で説明したように、C素子9 bが従来と同様の動作を行う条件が揃い、C素子9 bのC P端子は「L」レベルから「H」レベルに立上がり、C素子9 bのC O端子は「H」レベルから「L」レベルに立下がる。C素子9 bのC P端子の信号の立上がりにより、カウンタ9 fは「0」から「1」にカウントアップを行ない、NUM端子で設定された数と比較される。自己同期型転送制御回路はカウンタ9 fが行なうカウント数とNUM端子から入力される設定数とを比較し、一致するまで上述の動作を繰返し、自己同期型転送制御回路のC O端子からパルス信号を出力し続ける。

【0054】

次に、カウンタ9 fが行なうカウント数とNUM端子から入力される設定数が

一致した場合について考える。このとき、カウンタ9fのZ端子からは「H」レベル信号が出力され、ORゲート9nの出力が「H」レベルに固定される。ORゲート9nの出力の「H」レベル信号はゲート9jを介してC素子9bのCI端子が「H」レベルに立上がった状態で固定されることになるため、C素子9bはパルスの出力動作をしなくなる。また、このときC素子9bのCP端子は「H」レベルに固定され、C素子9bのCO端子は「L」レベルを出力した状態で固定される。すなわち、自己同期型転送制御回路のCO端子からは最後のコピーパケットを転送するための「L」レベル信号を出力している状態になる。

【0055】

一定時間後に、自己同期型転送制御回路のRI端子から信号「L」レベル信号が入力されるため、C素子9bのRI端子に「L」レベル信号が入力される。C素子9bはこれを受け、C素子9bのCP端子は「H」レベルから「L」レベルへ変化し、C素子9bのCO端子は「L」レベルから「H」レベルへと変化する。これにより、自己同期型転送制御回路のCO端子は「H」レベル信号を出力する。また、C素子9bのCP端子の信号の立下がり（インバータ9rを介しての立下がり）に同期がとられて、Dタイプフリップフロップ9gの入力端子Dの信号が取込まれ、Dタイプフリップフロップ9gの出力端子Qから導出される。このときのDタイプフリップフロップ9gの入力信号は、カウンタ9fの出力信号Zが「H」レベルであるため、インバータ9uを介して「L」レベルとなっている。すなわち、Dタイプフリップフロップ9gのQ出力は「L」レベル信号を導出し、インバータ9qの出力は「H」レベルに立上がる。この「H」レベル信号がANDゲート9mに入力され、ANDゲート9mの出力はこれまで「L」レベルに固定されていたものが、自己同期型転送制御回路のRI端子から入力される信号と同一の信号に変化する。

【0056】

続いて、自己同期型転送制御回路のCO端子が「H」レベル信号を出力しているため、さらに一定時間後に自己同期型転送制御回路のRI端子に「H」レベル信号が入力される。この「H」レベルの入力信号はANDゲート9mを通りC素子9aのRI端子に入力される。

【0057】

この一連の動作によって自己同期型転送制御回路のコピー動作が終了する。この自己同期型転送制御回路は、この回路のパルス入力端子C Iに前段部から1個のパルスから与えられると、C P端子から1個のパルスを出し、パルス出力端子C Oから後段部へ任意の数だけパルス信号を出力することが可能である。

【0058】

なお、図2はコピー動作について説明したが、上述のごとく自己同期型転送制御回路の動作はコピー個数情報としてN個を入力すると最初のパケット転送動作を行なった後、0, 1, 2, ..., Nとカウントしてパケット転送動作を続ける。したがって、N+2個のパケットが転送される。逆に言えば、N個のコピーが必要な場合は、コピー個数情報として「N-2」を入力することになる。

【0059】

図3はこの発明の第2の実施形態の自己同期型転送制御回路を、ハンドシェイク方式を採用したデータ伝送装置に用いた例を示すブロック図である。図3において、データ伝送装置は、C素子13aと13cとの間に図1に示した自己同期型転送制御回路13bが接続されており、パイプラインレジスタ13dと13eとの間に命令デコーダ13gが設けられ、パイプラインレジスタ13eと13fとの間にノード番号操作回路13hが設けられている。このデータ伝送装置に入力されるパケットデータは、前述の図12に示したように行先ノード番号と世代番号と命令コードとデータとからなる。

【0060】

C素子13aから自己同期型転送制御回路13bへのデータ転送が成立すると、命令デコーダ13gは命令コードを解釈し、C P Yフラグとコピー数情報NUMを自己同期型転送制御回路13bに与える。自己同期型転送制御回路13bは入力されるC P Yフラグとコピー数情報NUMとに応じて後段のC素子13cとデータ転送制御を行なう。自己同期型転送制御回路13bは、後段のC素子13cとの間のSEND信号とACK信号がともに「H」レベルの状態では前段のC素子13aからのSEND信号が「L」レベルから「H」レベルに立上がると、C P端子から1個のパルス信号を出力する。これにより、パイプラインレジスタ1

3 e に入力されたパケットデータは自己同期型転送制御回路 1 3 b から C 素子 1 3 c への SEND パルス信号とともにパイプラインレジスタ 1 3 f に転送される。

【 0 0 6 1 】

C 素子 1 3 c は 1 個目のパケットを後段の C 素子（図示せず）に転送を完了すると、自己同期型転送制御回路 1 3 b にデータ転送許可信号（ACK 信号「H」）を送る。これを受けた自己同期型転送制御回路 1 3 b は次の SEND 信号を C 素子 1 3 c に送るとともに、2 個目のパケットデータをパイプラインレジスタ 1 3 f に送る。この際、自己同期型転送制御回路 1 3 b は FEB 信号「H」、NO 信号「0」を出力しており、ノード番号操作回路 1 3 h はこれらの信号を用いて、1 個目のパケットデータと区別できるようにノード番号の操作が行なわれる。たとえば、FEB 信号と NO 信号をノード番号に加えることで、パケット同士を区別できる。このように、n 個目のパケットに関しても FEB 信号と NO 信号を用いて他のコピーパケットと区別できるようにノード番号が付加される。COPY n 命令を用いると、パケットを 1 つ入力することで、同じデータを持つ複数個のパケットを出力することができる。

【 0 0 6 2 】

図 4 はパケットを 4 個コピーする例を従来例とこの発明の実施形態によるプログラムを対比して示した図である。従来では、図 4（a）に示すように 1 つのノードからは 2 つまでしかコピーできなかったのに対して、この発明の一実施形態による COPY n 命令では図 4（b）に示すように、複数個のコピー処理が可能となり、実行命令数を削減できる。

【 0 0 6 3 】

次に、この発明による自己同期型転送制御回路を用いたデータ伝送装置の他の例について説明するが、その前に演算結果がオーバーフローとなる命令の効率のよい処理方法について述べる。たとえば、12 ビットデータ同士の乗算を考える。この場合、演算結果として 24 ビットのデータとなるが、図 12 に示したパケットフォーマットとしてデータフィールドに格納するデータは 12 ビットで制限されているため、24 ビットの演算結果データを 1 つのパケットだけでは格納す

ることができない。したがって、前述の図 1 8 に示した従来例では、24 ビットの演算結果データを上位 12 ビットと下位 12 ビットとに分けて演算する必要があった。このために、図 1 8 に示した従来例では、シフト量を調整することで上位 12 ビットデータを含むパケットを出力する命令と、下位 12 ビットデータを含むパケットを出力する命令の 2 つを実行することで実現していた。これを改善する実施形態について以下に説明する。

【0064】

図 5 はこの発明の新たな自己同期型転送制御回路を含んだハンドシェイク方式を採用したデータ伝送装置による乗算命令を実行するブロック図であり、図 6 は図 5 における自己同期型転送制御回路 2 1 c を実現する一例を示す回路図である。図 5 において、C 素子 2 1 a と 2 1 b と自己同期型転送制御回路 2 1 c と C 素子 2 1 d とが直列接続されて転送制御回路が構成されている。パイプラインレジスタ 2 1 e と 2 1 f と 2 1 g と 2 1 i とによってデータ伝送路が構成されており、パイプラインレジスタ 2 1 e と 2 1 f との間には乗算器 2 1 j が接続され、パイプラインレジスタ 2 1 f と 2 1 g との間にはシフタ 2 1 k と下位抽出回路 2 1 l とコピー検出回路 2 1 m が配置されている。さらに、パイプラインレジスタ 2 1 g と 2 1 i との間にはマルチプレクサ 2 1 h とノード番号操作回路 2 1 n とが配置されている。

【0065】

自己同期型転送制御回路 2 1 c としては、図 1 に示した例を用いることもできるが、この実施形態では、図 6 に示す自己同期型転送制御回路が用いられる。図 1 に示した自己同期型転送制御回路は N 個のコピーが可能とされていたのに対して、図 6 に示した自己同期型転送制御回路は N を 2 に限定したものであり、図 1 に比べて構成が簡単にされている。

【0066】

図 6 において、NUM 端子と NO 端子と D タイプフリップフロップ 9 e とカウンタ 9 f と AND ゲート 9 j と OR ゲート 9 n とインバータ 9 u とを除いた以外の構成は図 1 と同じである。また、図 7 は図 6 の動作を示すタイミングチャートである。

【 0 0 6 7 】

図 5 に示したデータ伝送装置は、図 1 7 に示したデータ駆動型プロセッサの演算部 F P に含まれる。データ駆動型プロセッサの演算部 F P に入力されるパッケージには、演算の対象である 1 組のデータ対（1 2 ビットデータが 2 つ）が格納されている。1 2 ビットの非演算データを 2 つ含んだパッケージはパイプラインレジスタ 2 1 e に入力され、乗算器 2 1 j により演算が実行され、演算結果である 2 4 ビットデータがパッケージのデータフィールドに一時的に格納されてパイプラインレジスタ 2 1 f に保持される。この 2 4 ビットのデータはパイプラインレジスタ 2 1 f から出力され、命令コードから読出されたシフト量に基づいて、シフタ 2 1 k と下位抽出回路 2 1 l により、上位 1 2 ビットデータと下位 1 2 ビットデータとに分離されてパイプラインレジスタ 2 1 g に出力される。

【 0 0 6 8 】

また、コピー検出回路 2 1 m によって命令コードよりコピーフラグ C P Y が読出されて自己同期型転送制御回路 2 1 c に与えられる。自己同期型転送制御回路 2 1 c は C P Y 端子にコピーの検出を示す「H」レベル信号が入力されると、パイプラインレジスタ 2 1 g に対して C P パルス信号を出力し、C 素子 2 1 d と S E N D 信号、A C K 信号のやりとりを 2 回行い、その結果としてパイプラインレジスタ 2 1 i に 2 個のパッケージを送る。1 個目のパッケージは、F E B 信号の「L」レベルとともに出力され、2 個目のパッケージは F E B 信号の「H」レベルとともに出力される。この F E B 信号を用いて、ノード番号操作回路 2 1 n によってノード番号が操作され、パッケージ同士を区別すると同時に、この F E B 信号により演算結果の上位 1 2 ビットデータと下位 1 2 ビットデータが入力されるマルチプレクサ 2 1 h の出力が切換えられる。すなわち、パイプラインレジスタ 2 1 g からパイプラインレジスタ 2 1 i に転送される 1 個目のパッケージは、乗算結果の上位 1 2 ビットを格納したものであり、2 個目のパッケージはノード番号がたとえばインクリメントされるなどの操作が行なわれ、かつ乗算結果の下位 1 2 ビットが格納されたものとなる。

【 0 0 6 9 】

図 8 は 1 2 ビットデータ同士の乗算に関して、従来例によるフローグラフと、

この発明の第 3 の実施形態によるフローグラフとを対比して示した図である。従来においては、図 8 (a) に示すように、入力ポート IN 1 と入力ポート IN 2 とから入力された 2 つの 1 2 ビットデータを NOP 命令を実行することにより、2 個ずつにコピーする必要がある。次に、MUL a (乗算) 命令を実行して乗算結果の上位 1 2 ビットを出力ポート OUT 1 から出力し、MUL b 命令を実行して乗算結果の下位 1 2 ビットの出力ポート OUT 2 から出力していた。

【0 0 7 0】

これに対して、この発明の実施形態である MUL c 命令は、入力ポート IN 1 , IN 2 から入力される 2 つの 1 2 ビットデータを乗算した結果、上位 1 2 ビットを出力ポート OUT 1 から出力させ、下位 1 2 ビットを出力ポート OUT 2 から出力させる。このように、この実施形態によれば実行命令ステップ数が従来に比べて 1 / 4 になっており、単純計算ではあるが従来の 4 倍速の演算速度を期待できる。

【0 0 7 1】

図 9 ~ 図 1 1 はこの発明の第 4 の実施形態を示す図であり、特に図 9 は 3 つのデータを効率よく演算処理するデータ駆動装置を示すブロック図であり、図 1 0 は図 9 に示した自己同期型転送制御回路の回路図であり、図 1 1 は図 1 0 に示した自己同期型転送制御回路の動作を示すタイミングチャートである。

【0 0 7 2】

前述の図 5 に示した実施形態のデータ伝送装置は 1 つのパケットで 2 つのデータを取扱ったのに対して、この図 9 に示した実施形態では、1 つのパケットを入力することで、3 つのデータに対して演算を実行し、3 つの演算結果を格納した 3 つのパケットを出力するものである。

【0 0 7 3】

図 9 において、転送制御回路として、C 素子 3 1 a , 3 1 b と自己同期型転送制御回路 3 1 c と C 素子 3 1 d と 3 1 e と 3 1 f とが直列接続される。また、データ伝送部として、パイプラインレジスタ 4 1 a ~ 4 1 f が接続され、パイプラインレジスタ 4 1 a と 4 1 b との間にはアドレス検出回路 4 1 g が接続され、パイプラインレジスタ 4 1 b と 4 1 c との間にはコピー検出回路 4 1 h が接続され

、パイプラインレジスタ 4 1 c と 4 1 d との間にはマルチプレクサ 4 1 i とノード番号操作回路 4 1 j が接続され、パイプラインレジスタ 4 1 d と 4 1 e との間には乗算器 4 1 k が接続され、パイプラインレジスタ 4 1 e と 4 1 f との間にはシフト 4 1 l が接続される。

【 0 0 7 4 】

自己同期型転送制御回路 3 1 c としては、図 1 に示した回路の C P Y 端子に「H」レベルを入力し、N U M 端子に「H」レベル信号を入力しても同様の演算結果が得られるが、図 1 0 に示した自己同期型転送制御回路の方が回路を簡略化できる。すなわち、図 1 0 に示した自己同期型転送制御回路は、図 1 に示した N U M 端子に代えて R 3 端子が設けられ、図 1 の D タイプフリップフロップ 9 e に代えて 1 ビットの D タイプフリップフロップ 9 w が設けられ、図 1 では N まで計数するカウンタ 9 f を設けていたのに変えて、0 ～ 2 を計数するカウンタ 9 x を配置したものである。それによって、自己転送制御回路として、図 1 に比べて回路規模が小さくなっている。したがって、図 1 0 に示した自己同期型転送制御回路は図 1 の回路とほぼ同じ動作をする。

【 0 0 7 5 】

図 1 1 (d) , (e) に示すように、C P Y 端子と R 3 端子からともに「H」レベル信号が入力されると、3 個の packets コピーが可能となり、図 1 1 (h) , (f) に示すように、F E B = 「L」レベル、L S T = 「L」レベルのときに 1 個目の packets が出力され、F E B = 「H」レベル、L S T = 「L」レベルのときに 2 個目の packets が出力され、F E B = 「H」レベル、L S T = 「H」レベルのときに 3 個目の packets が出力される。

【 0 0 7 6 】

図 9 に示したデータ伝送機構は、図 1 7 のデータ駆動型プロセッサの演算部 F P に含まれる。データ駆動型プロセッサの演算部 F P に入力される packets には、1 組のデータ対 (1 2 ビットデータが 2 つ) が格納されている。この packets がパイプラインレジスタ 4 1 a に入力されると、2 つのデータのうちの一方がアドレス検出回路 4 1 b によるテーブルメモリ 4 1 m のアドレス検出に用いられ、他方が乗算データに用いられる。入力 packets の命令コードが解読され、コピー

検出回路 4 1 h によって C P Y 信号と R 3 信号が自己同期型転送制御回路 3 1 c に送られるとともに、テーブルメモリ 4 1 m の内容がパケットに格納され、パイプラインレジスタ 4 1 c によって保持される。C P Y 信号と R 3 信号がともに「H」レベルであれば、自己同期型転送制御回路 3 1 c はパイプラインレジスタ 4 1 c に対して C P パルス信号を出力し、C 素子 3 1 d と S E N D 信号、A C K 信号のやりとりを 3 回行い、その結果としてパイプラインレジスタ 4 1 d 3 個のパケットが出力される。

【0077】

自己同期型転送制御回路 3 1 c から出力される F E B 信号と L S T 信号を用いてノード番号操作回路 4 1 j によってパケットのノード番号が操作され、パケット同士を区別すると同時に、この F E B 信号と L S T 信号によりテーブルメモリ 4 1 m から読出したデータの上位ビットデータ、中位ビットデータおよび下位ビットデータが入力されるマルチプレクサ 4 1 i の出力が切換えられる。すなわち、パイプラインレジスタ 4 1 c からパイプラインレジスタ 4 1 d に伝送される 1 個目のパケットは、ノード番号は操作されずにメモリデータの上位ビットを格納したものであり、2 個目のパケットはノード番号が操作され（たとえばノード番号 + 1）、かつメモリデータの中位ビットが格納されたものであり、3 個目のパケットはノード番号が操作され（たとえばノード番号 + 2）、かつメモリデータの下位ビットが格納されたものである。パイプラインレジスタ 4 1 d から出力される 3 つのパケットに格納されたそれぞれのメモリデータは、乗算器 4 1 k によってパケット中の乗算用に格納されているデータと乗算され、パイプラインレジスタ 4 1 e に保持される。乗算結果がオーバーフローを起こすような場合には、シフタ 4 1 l により調整が行なわれる。

【0078】

上述のごとく、この実施形態によれば、1 つのパケットを入力することにより、3 つのデータに対して演算を行なうことが可能となり、実行命令数を削減できる。テーブルメモリ 4 1 m から 2 4 ビットデータを読出したとすると、8 ビットの 3 つのデータに対して演算を行なうことができる。これは、たとえば R G B （2 4 ビット）などの画像データ処理に応用することができ、画像処理の高速化を

図ることができる。

【0079】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0080】

【発明の効果】

以上のように、この発明によれば、前段部の転送制御回路から1つのデータ転送要求パルス信号を受け、後段部の転送制御回路に複数個のデータ要求パルス信号を出力することが可能となり、従来に比べて数倍効率のよいデータ転送制御が可能となる。

【0081】

また、自己同期型転送制御回路の後段部へのデータ要求パルス信号の個数を、入力するパケットに含ませることにより、用途に応じたパケットコピーが可能となる。

【0082】

さらに、1つの入力パケットを、NOP命令を繰返し実行することなく同一データを持つ複数個のパケットにコピーすることができるため、実行命令数を削減でき、プログラムの実行効率が数倍向上する。

【0083】

さらに、1つの命令を実行することで複数個のデータに対して実際に演算を実行することができるため、実行命令数を削減でき、プログラム実行効率が数倍以上向上する。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態によるデータ駆動型プロセッサに用いられる自己同期型転送制御回路を示す回路図である。

【図2】 図1に示した自己同期型転送制御回路の動作を説明するためのタイミングチャートである。

【図 3】 この発明の第 2 の実施形態による入力データを N 個コピーする処理手順を説明するためのブロック図である。

【図 4】 従来例とこの発明の第 2 の実施形態による入力データを 4 個にコピーする処理手順を示すフローグラフを対比して示した図である。

【図 5】 この発明の第 3 の実施形態として、オーバーフローを起こす乗算処理に関して、乗算命令の処理内容を示すブロック図である。

【図 6】 図 5 に示した自己同期型転送制御回路の具体的な回路図である。

【図 7】 図 6 に示した自己同期型転送制御回路の動作を説明するためのタイミングチャートである。

【図 8】 従来例とこの発明の第 3 の実施形態におけるオーバーフローを起こす乗算処理に関してフローグラフを対比して示した図である。

【図 9】 この発明の第 4 の実施形態による 3 つのデータを同時に処理する手順を説明するためのブロック図である。

【図 1 0】 図 9 に示した自己同期型転送制御回路の具体的な回路図である。

【図 1 1】 図 1 0 に示した自己同期型転送制御回路の動作を説明するためのタイミングチャートである。

【図 1 2】 従来例およびこの発明の実施形態に適用されるデータパケットのフォーマットを示す図である。

【図 1 3】 従来のデータ駆動型プロセッサにおけるデータ伝送路を示す図である。

【図 1 4】 図 1 3 に示した C 素子の動作を示すタイミングチャートである。

【図 1 5】 従来の一般的なデータ駆動型処理装置を示すブロック図である。

【図 1 6】 従来の C 素子を示す回路図である。

【図 1 7】 従来のデータ駆動型プロセッサを示すブロック図である。

【図 1 8】 従来のデータ駆動型プロセッサで乗算命令を実行する例を示す図である。

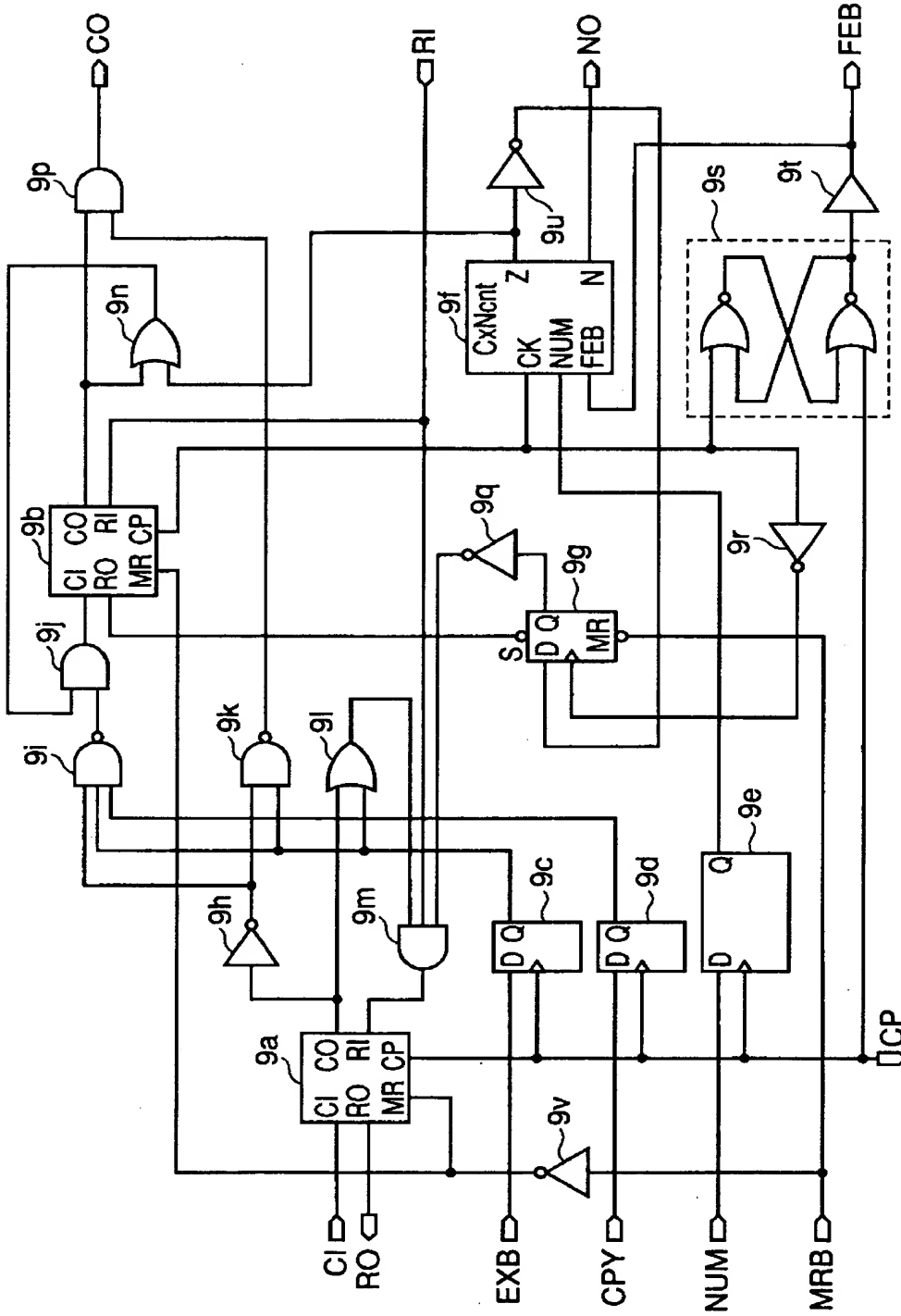
【符号の説明】

9 a, 9 b, 1 3 a, 1 3 c, 2 1 a ~ 2 1 c, 3 1 a, 3 1 b, 3 1 d ~ 3 1 f C素子、9 c, 9 d, 9 e, 9 g, 9 w Dタイプフリップフロップ、9 f カウンタ、9 h, 9 q, 9 r, 9 u, 9 v インバータ、9 i, 9 k N A N Dゲート、9 l, 9 n O Rゲート、9 m, 9 p A N Dゲート、9 s フリップフロップ、9 t 遅延素子、1 3 b, 2 1 c, 3 1 c 自己同期型転送制御回路、1 3 d ~ 1 3 f, 2 1 e ~ 2 1 i, 4 1 a ~ 4 1 f パイプラインレジスタ、1 3 g 命令デコーダ、1 3 h, 2 1 n, 4 1 j ノード番号操作回路、2 1 j, 4 1 k 乗算器、2 1 k, 4 1 l シフタ、2 1 l 下位抽出回路、2 1 m, 4 1 h コピー検出回路、4 1 g アドレス検出回路、2 1 h, 4 1 i マルチプレクサ、4 1 m テーブルメモリ。

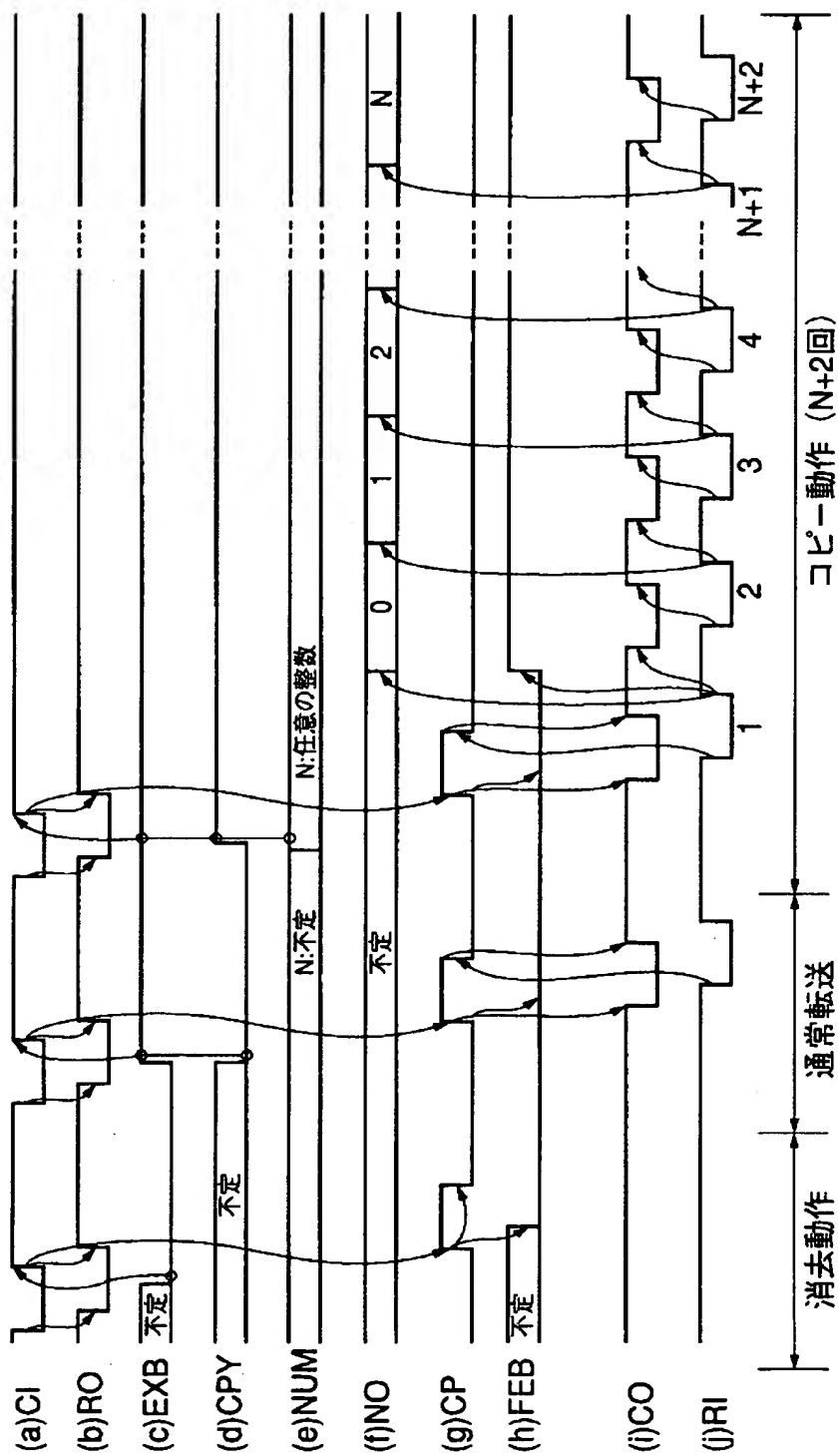
【書類名】

図面

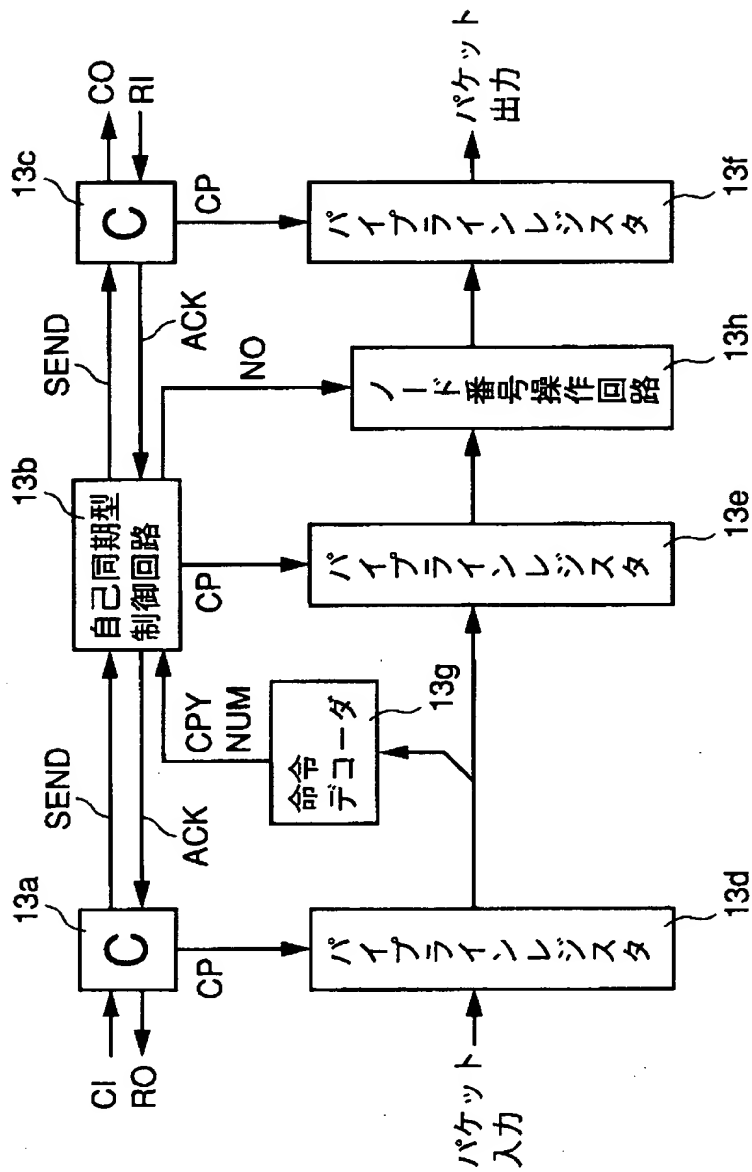
【図 1】



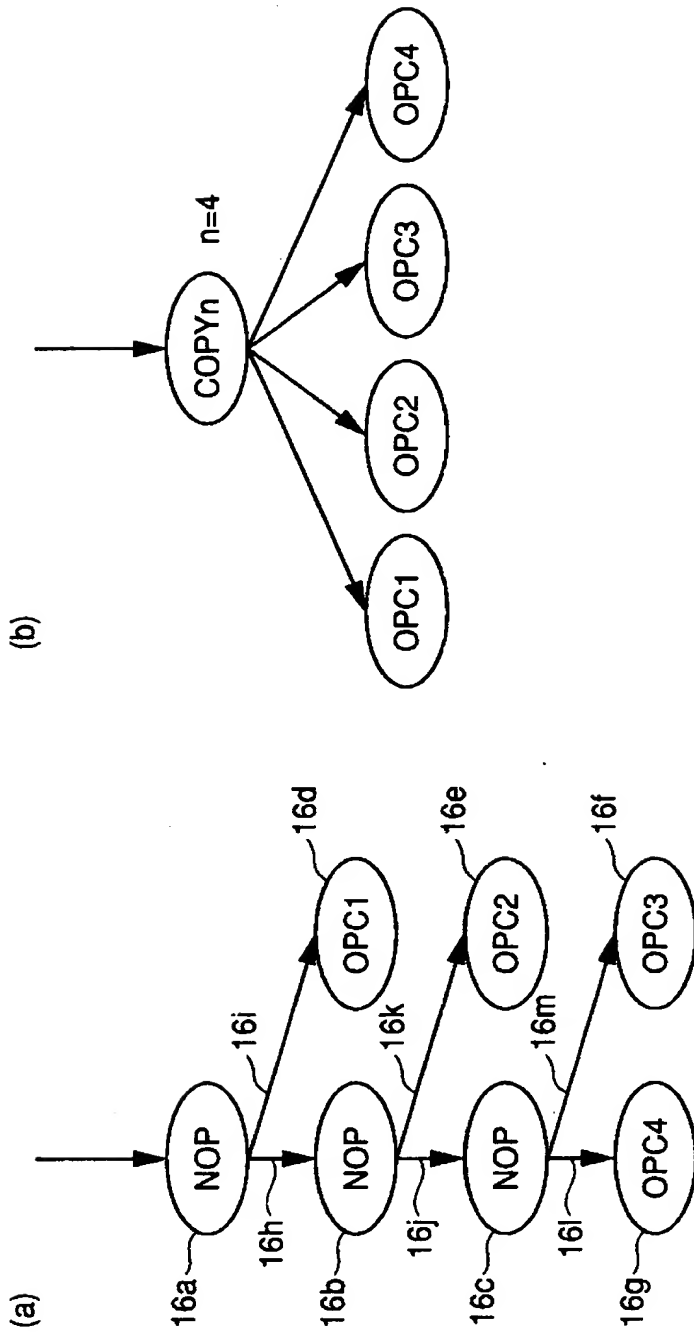
【図 2】



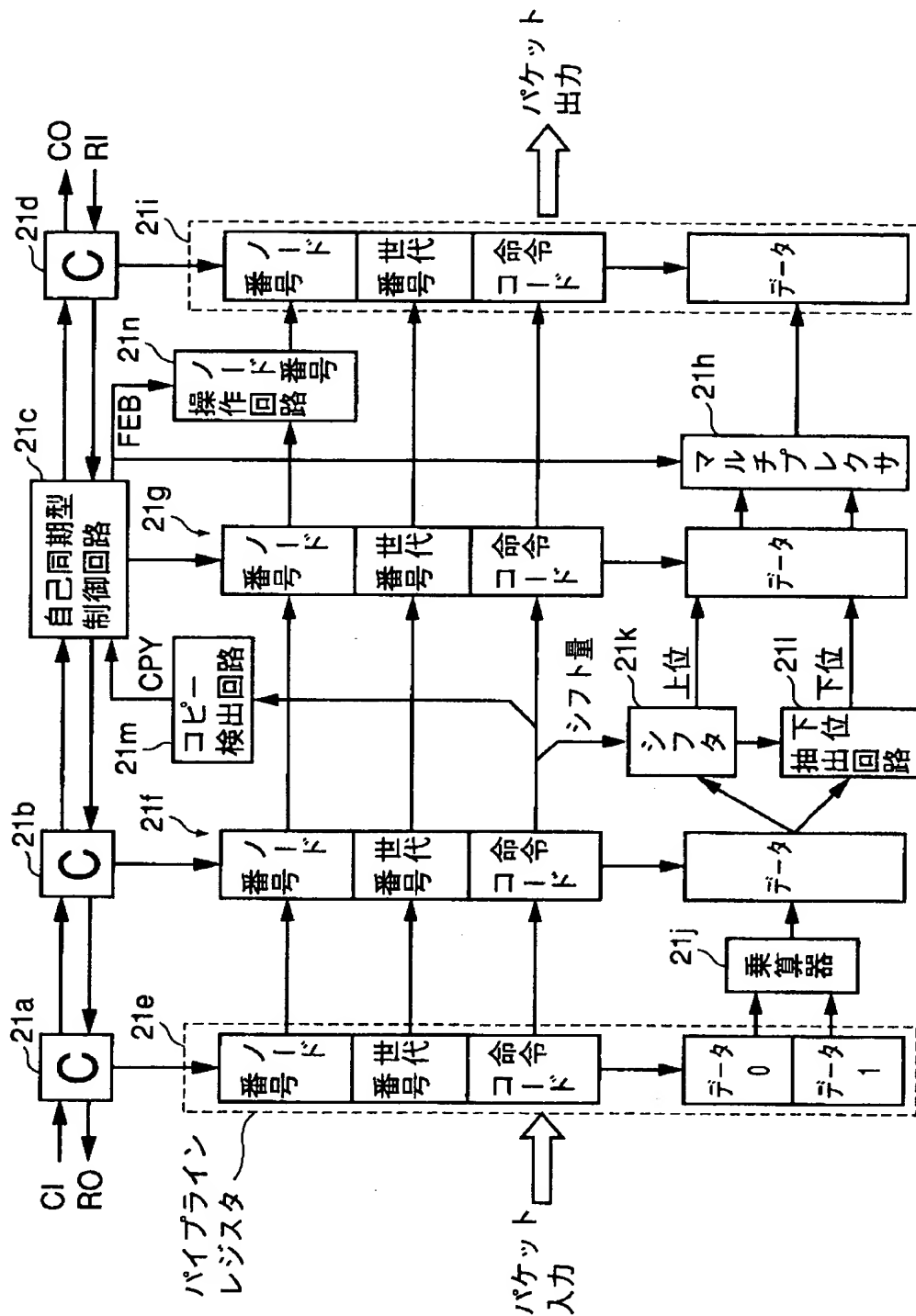
【図 3】



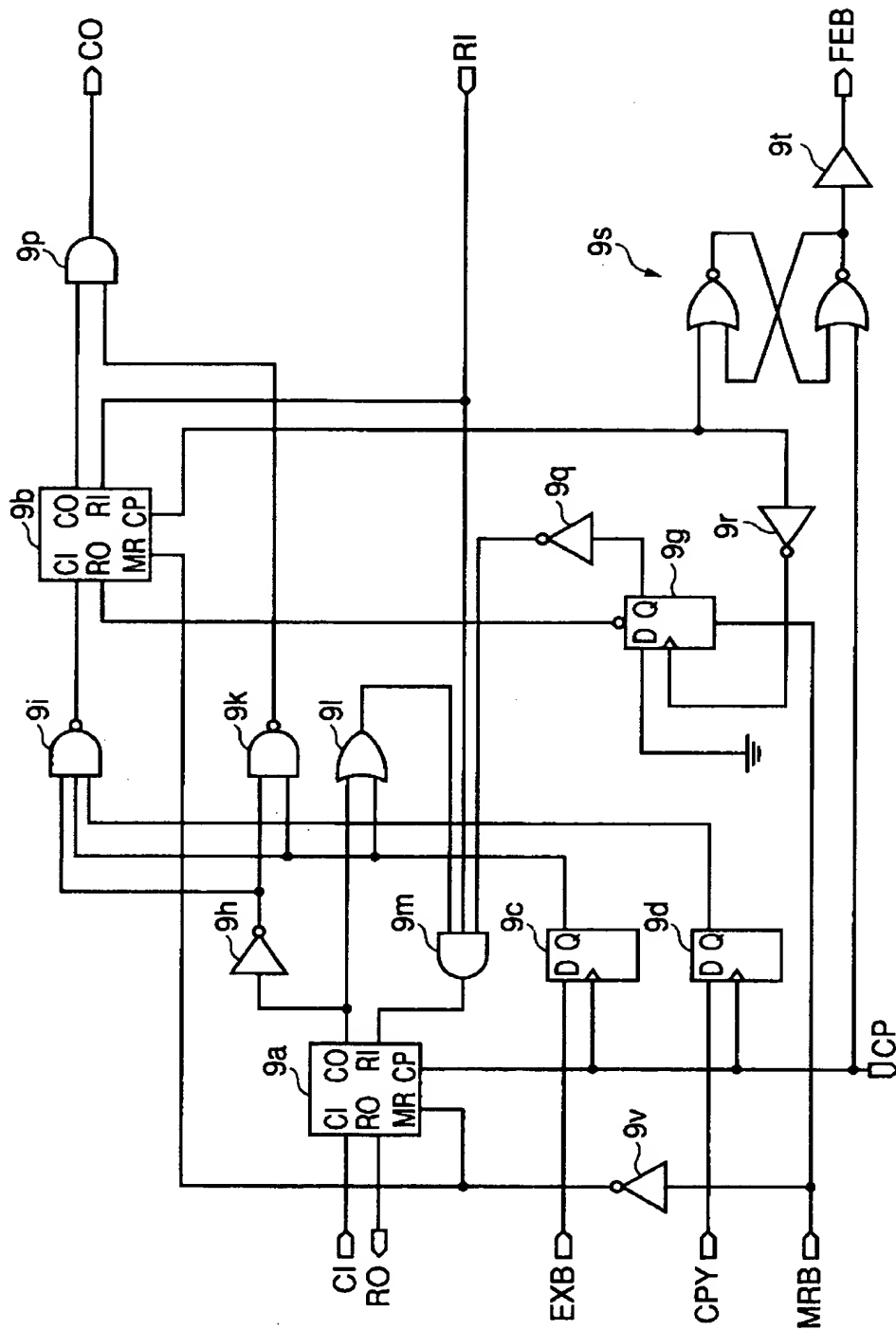
【図 4】



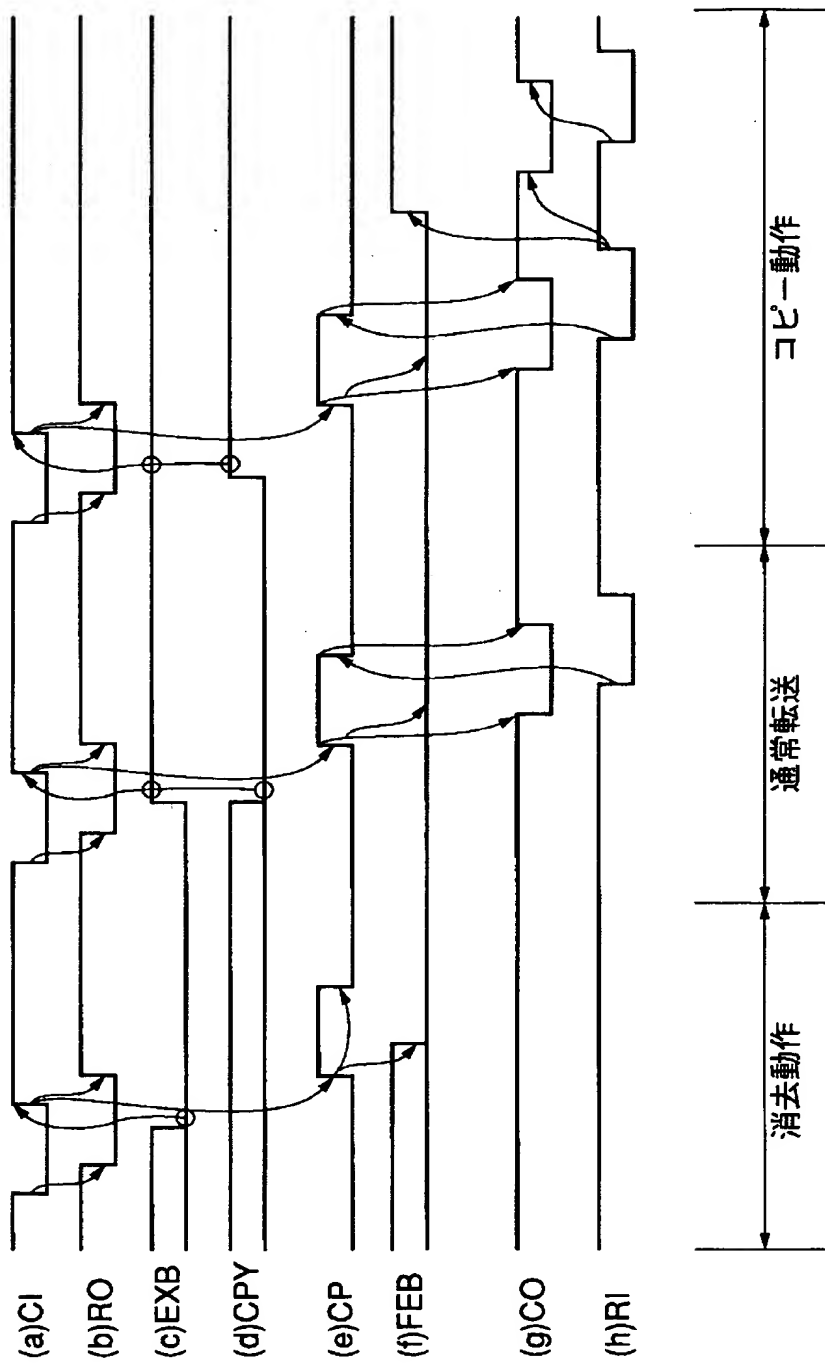
【図 5】



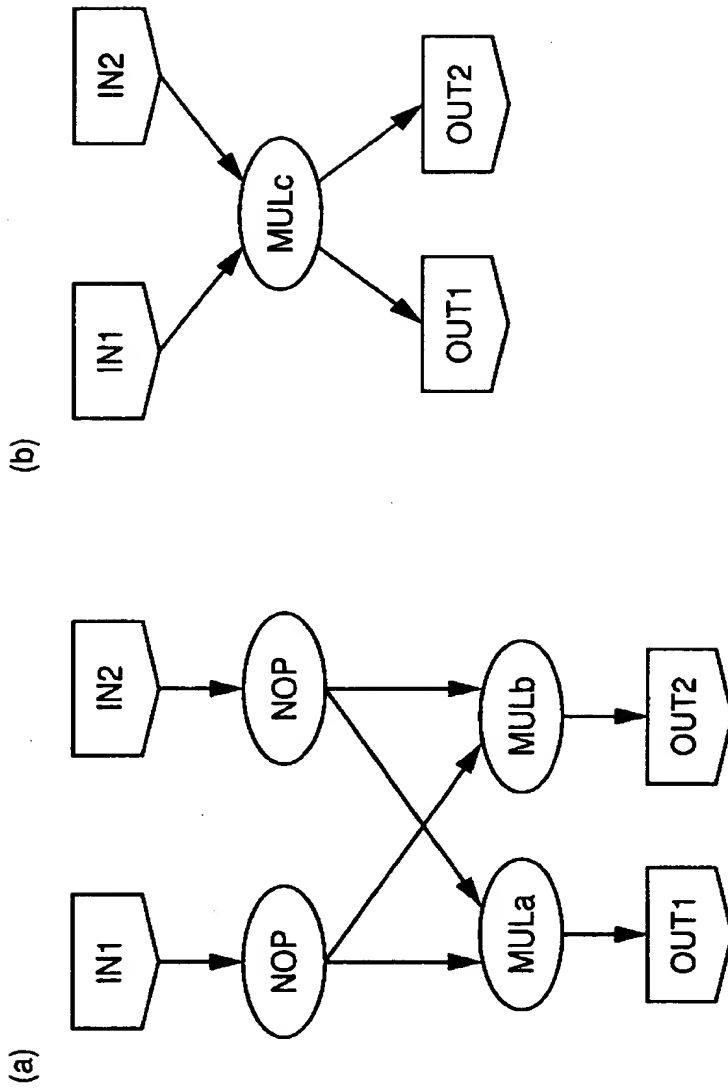
【図 6】



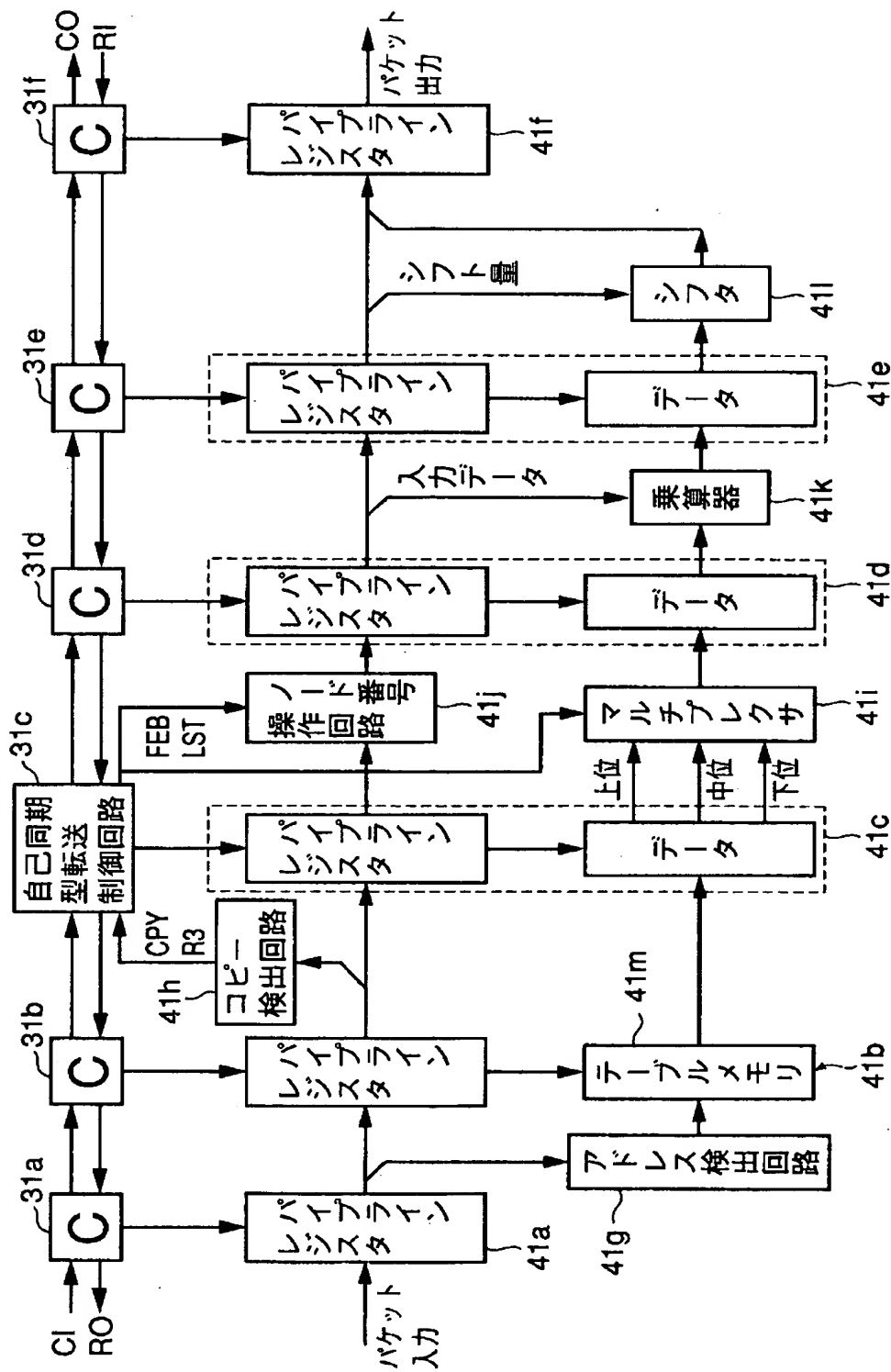
【図 7】



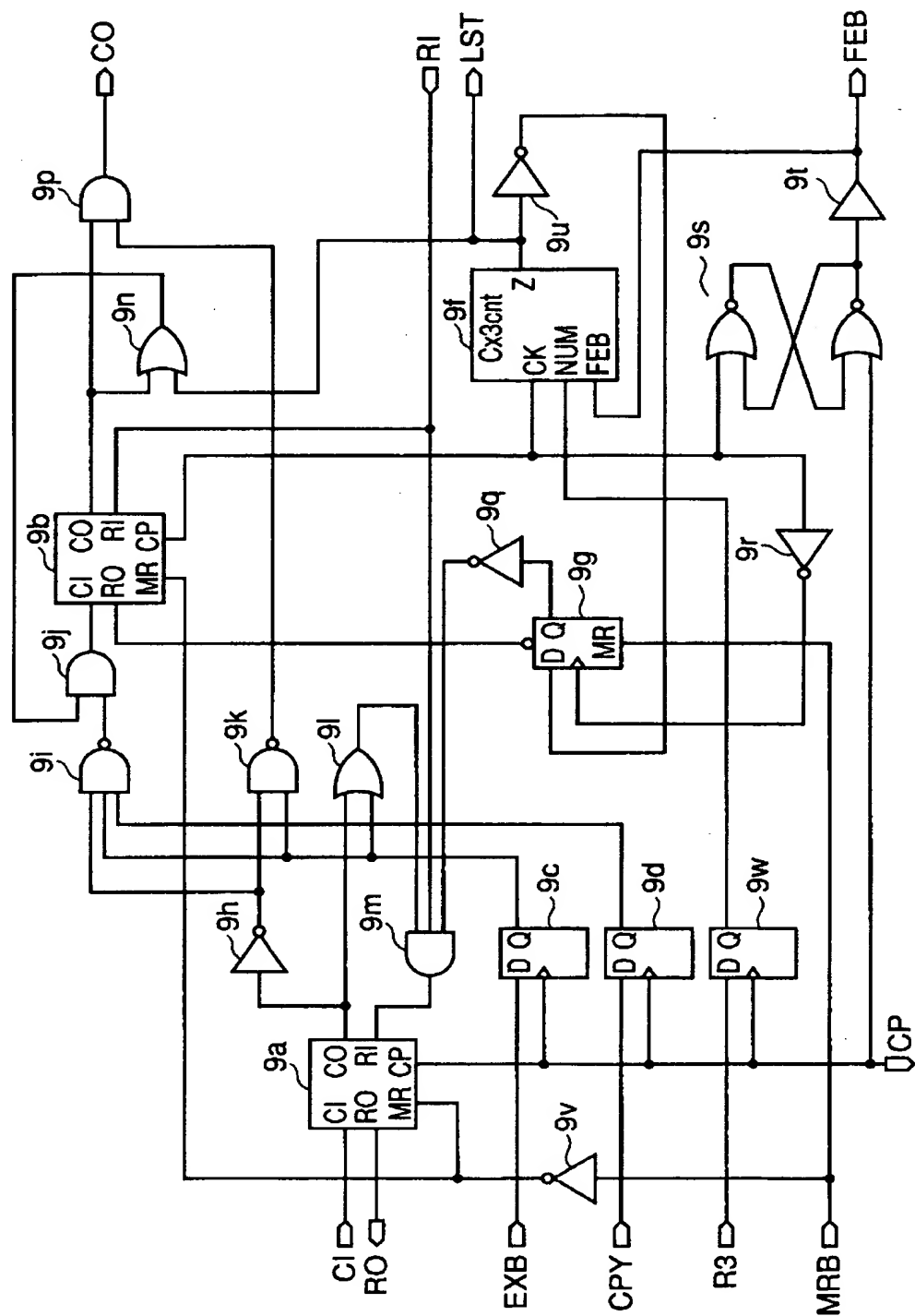
【図 8】



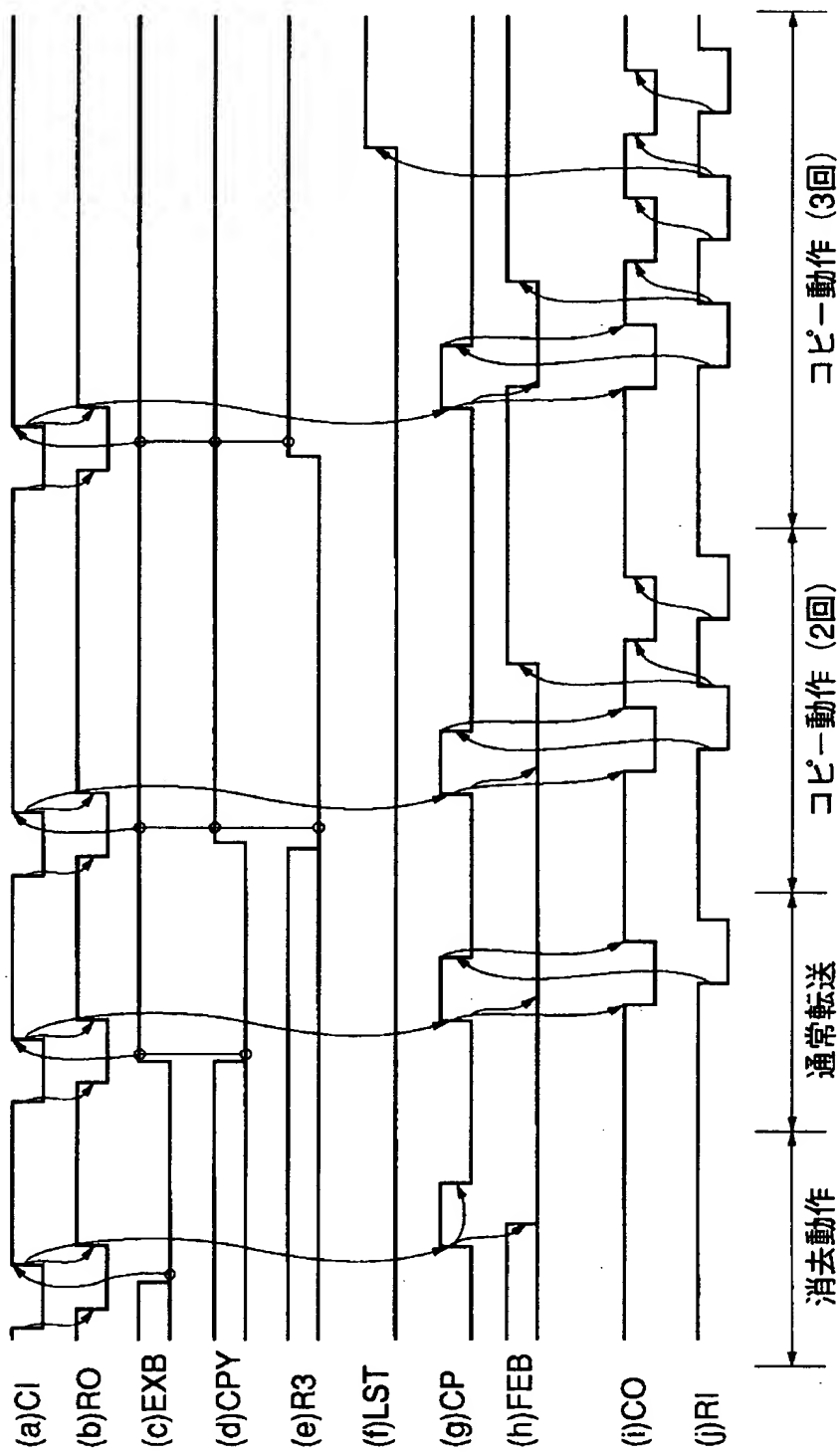
【図 9】



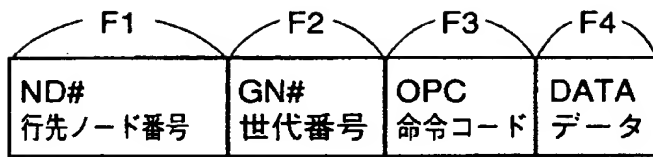
【図10】



【図 1 1】

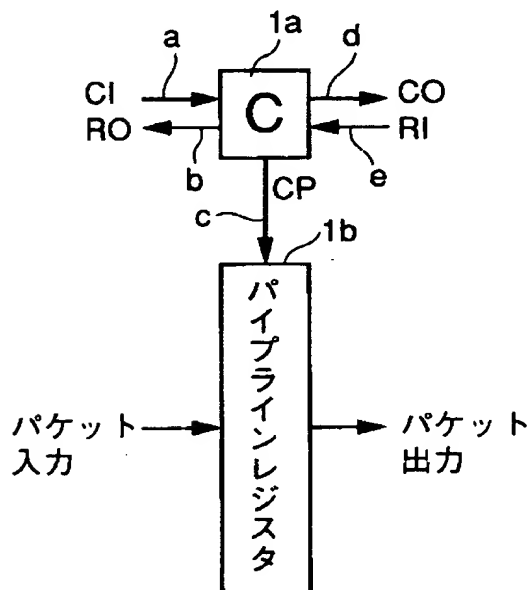


【図 12】

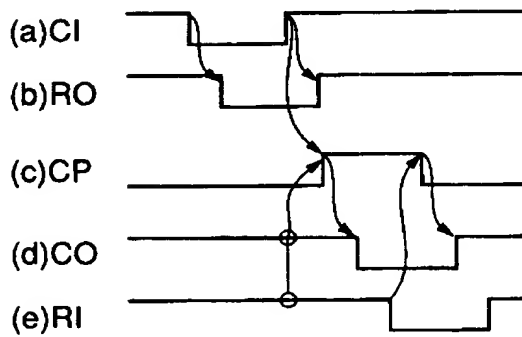


F1:行先ノード番号領域
F2:世代番号領域
F3:命令コード領域
F4:データ領域

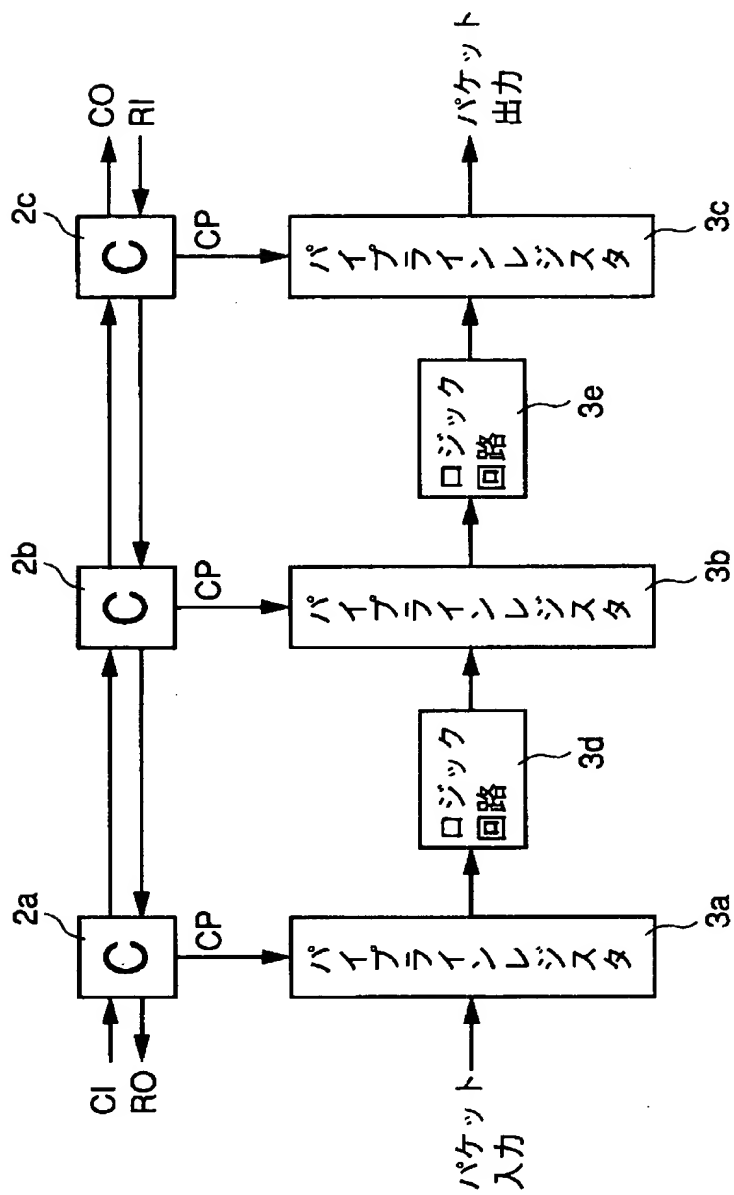
【図 13】



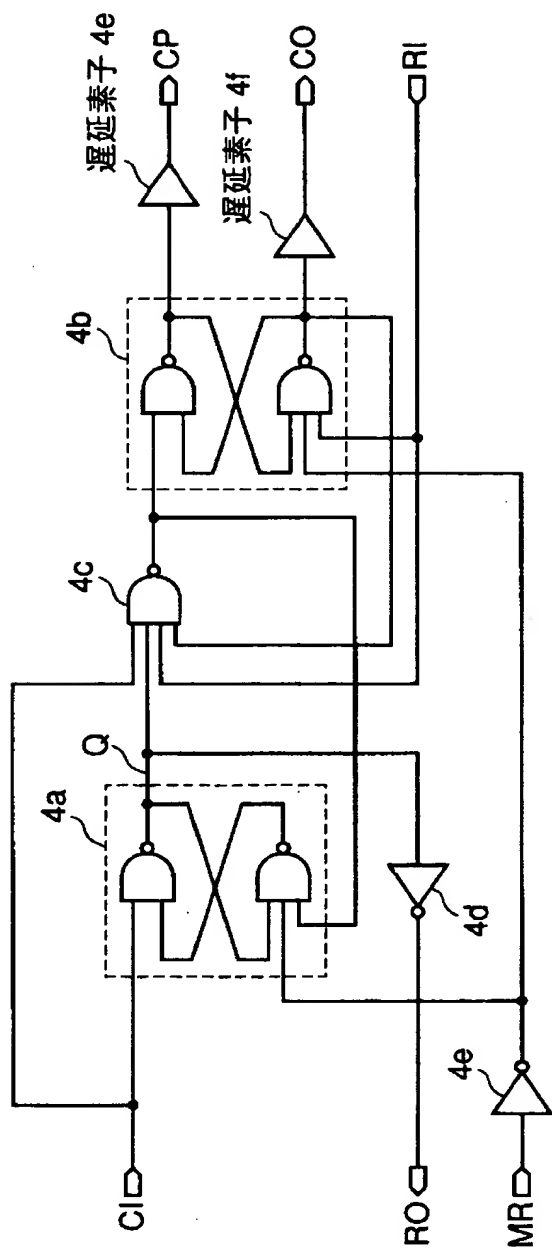
【図 14】



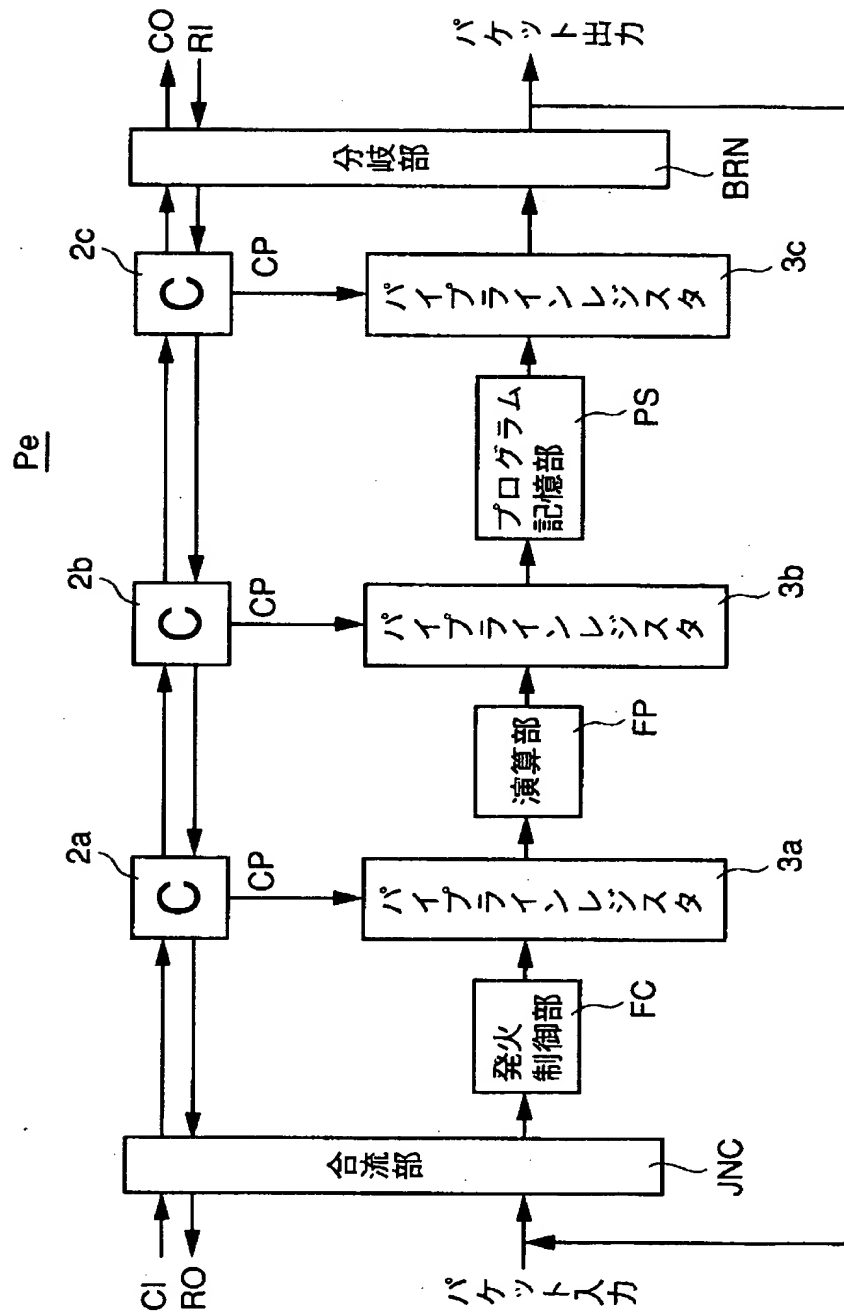
【図 15】



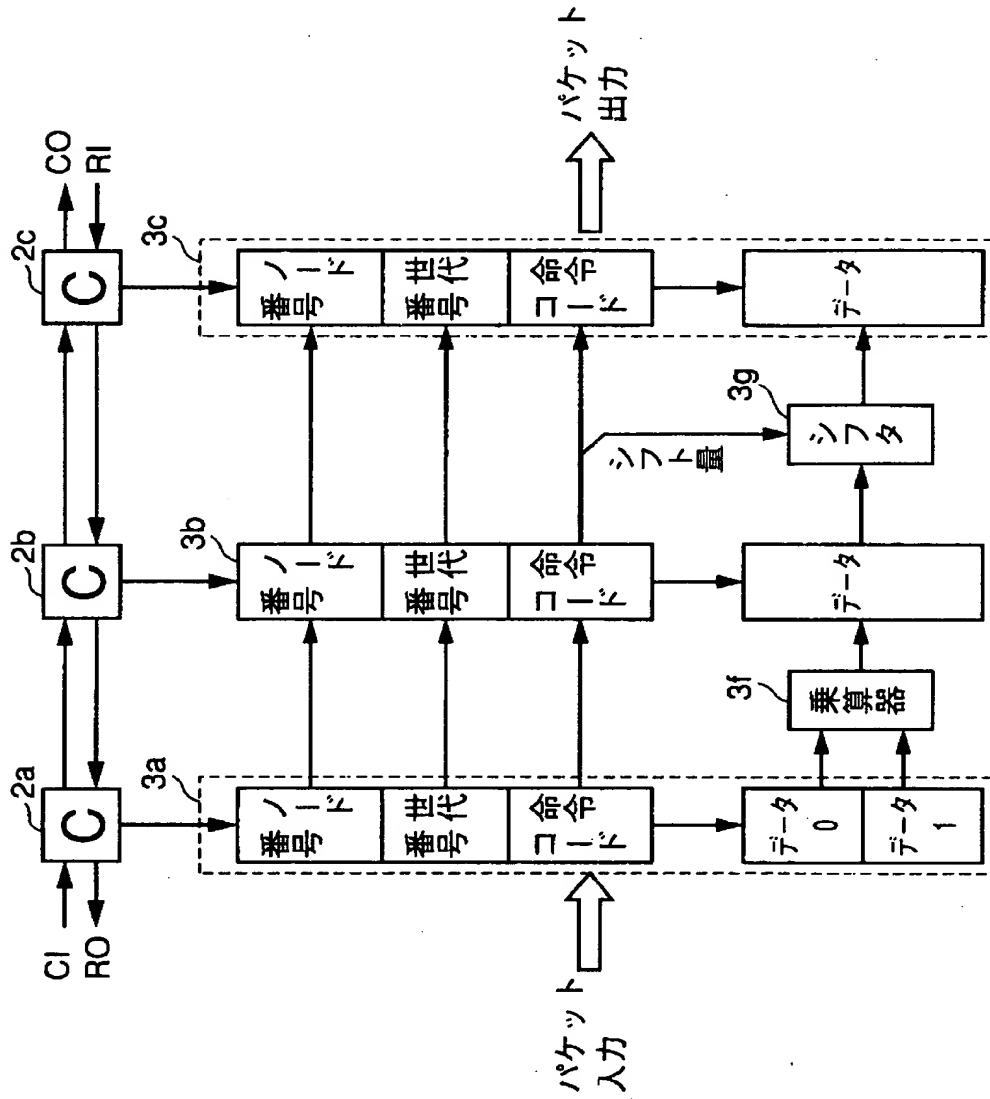
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 プログラムを効率よく実行可能にするための自己同期型転送制御回路およびこれを用いたデータ駆動型情報処理装置を提供する。

【解決手段】 パケットデータに含まれる命令コードを命令デコーダ 1 3 g が解読すると、コピーフラグとコピー数情報が自己同期型転送制御回路 1 3 b に与えられる。自己同期型転送制御回路 1 3 b は後段の C 素子 1 3 c からデータ転送許可信号 A C K が与えられると、ノード番号操作回路 1 3 h がノード番号を操作し、パケット同士が区別できるようにコピーして、パイプラインレジスタ 1 3 e からデータが次段のパイプラインレジスタ 1 3 f に転送される。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社